

Схемотехника

Ориентировочный план лекций

2017

Сигналы

Аналоговые и цифровые. Определение параметров. Амплитуда, уровни 0 и 1. Фронт, срез, длительность, период, частота. Относительные параметры. Задержки, задержка распространения.

Логические основы цифровой схемотехники

Булева модель сигналов. Булева алгебра. Основные логические функции и элементы. Описание основных элементов в VHDL. Динамические характеристики элементов. Их описание в VHDL.

Логические функции и логические элементы.

Элемент НЕ (NOT-инвертор)

Элемент И (AND)

Элемент ИЛИ (OR)

Элементы И-НЕ (NAND) и ИЛИ-НЕ (NOR)

Элементы Исключающее ИЛИ (XOR) и Исключающее ИЛИ-НЕ (XNOR)

Задержки распространения сигнала и временные диаграммы работы комбинационных схем.

Коэффициент объединения по входу, нагрузочная способность, каскадирование и связи логических элементов.

Логические функции и принцип дуализма

Проектирование комбинационных схем.

Реализация логических элементов в современных технологиях.

Основные технологии и их базовые этапы: МДП, КМДП, кремний на диэлектрике, формирование эпитаксиального слоя, ионное легирование, металлизация, подзатворный диэлектрик (варианты), самые последние вариации технологий – хай-к диэлектрик, вертикальный затвор.

Базовые КМДП логические элементы. Инвертор, И-НЕ, ИЛИ-НЕ. Их основные статические и динамические параметры и характеристики.

Базовый КМОП инвертор

Статические характеристики КМОП инвертора

Динамические характеристики КМОП инвертора

Базовые КМОП логические элементы И-НЕ и ИЛИ-НЕ

Выходной каскад с открытым стоком

Выходной каскад с тремя состояниями

Мощность, потребляемая микросхемами

Многозначные модели сигналов

Серии микросхем средней степени интеграции

Статические и динамические характеристики микросхем

ЦИФРОВЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Дешифраторы

Шифратор и кодовый преобразователь

Кодовый преобразователь

Мультиплексор

Описание мультиплексора 8-1 на VHDL

Реализация логических функций на мультиплексорах

Компаратор.
Двоичный сумматор
Многоразрядный сумматор с параллельным переносом
Описание сумматора на VHDL

ЦИФРОВЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

Определения
Триггеры
Асинхронный RS-триггер-защелка
Описание асинхронного RS-триггера-защелки на VHDL
Асинхронный триггер-защелка на элементах И-НЕ
Описание синхронного RS-триггера на VHDL
D-триггер с управлением уровнем синхросигнала(защелка)
Описание синхронного D-триггера (защелки) на VHDL
Триггеры с динамическим управлением
Описание D-триггера с динамическим управлением на VHDL
Счетный T-триггер с динамическим управлением
Описание счетного T-триггера на VHDL
Двухступенчатый D-триггер, срабатывающий по спаду синхроимпульса
Регистры
Параллельные регистры
Регистры сдвига
Описание универсального регистра на VHDL
Счетчики
Счетчики с непосредственной связью
Вычитающий счетчик с непосредственной связью
Счетчик с параллельным переносом
Счетчики по произвольному основанию
Счетчик по произвольному основанию на микросхемах ИЕ7 и ИЕ18ОЗУ. Статическая память (кэш), динамическая (sdram).

ПРОЕКТИРОВАНИЕ СИНХРОННЫХ СХЕМ

Введение в проектирование синхронных схем.
Понятие синхронной схемы.
Параллелизм и конвейеризация.
Сеть распространения синхросигналов.
Полезная и вспомогательная часть такта.

ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС)

Структуры первых ПЛИС
Программируемая Логическая Матрица (ПЛМ)
Программируемая Матрица Логики (ПМЛ-PAL)
Схемотехника ПЛИС типа CPLD
Схемотехника ПЛИС типа FPGA
Логическая ячейка ПЛИС типа FPGA
Дополнительные типы блоков ПЛИС типа FPGA
Конфигурирование ПЛИС
Проектирование систем на ПЛИС

Двоичная арифметика и Арифметико-логические устройства (АЛУ)

Системы счисления и перевод чисел из одной системы счисления в другую
Двоичные коды чисел
Модифицированные обратный (МОК) и дополнительный (МОД) чисел

Функциональная схема АЛУ для сложения и вычитания чисел с фиксированной запятой
АЛУ для умножения чисел с фиксированной запятой
Методы умножения чисел
Функциональная схема АЛУ для умножения целых чисел
АЛУ для деления целых чисел
Алгоритм деления целых чисел
Функциональная схема АЛУ для деления целых чисел
Матричные умножители
Двоично – десятичные сумматоры
АЛУ для выполнения логических операций
Микросхемы АЛУ
АЛУ для сложения и вычитания чисел с плавающей запятой
АЛУ для умножения чисел с плавающей запятой