

Основы схемотехники логических элементов, реализуемых по КМОП -технологии .

Физически, логические элементы могут быть реализованы различными способами. Например на принципах ,использующих законы квантовой физики – электроны в атоме могут занимать различные ,но строго фиксированные орбиты и переход электрона с одной орбиты на другую может создавать сигнал равный 0 или 1.

Однако с современной массовой технологии реализации логических элементов преобладает полупроводниковая , транзисторная .

Микросхемой называют несколько элементов, конструктивно реализованных в одном корпусе.

КМОП логические элементы выполнены на униполярных или **МОП** (металл – окисел – полупроводник) транзисторах, обычно на **комплементарных(КМОП)** парах МОП транзисторов с **p** и **n** каналами. Никаких других элементов в таких микросхемах нет. В результате технология производства микросхем этого типа оказывается очень простой. Практически все современные цифровые микросхемы, включая микропроцессоры, элементы памяти, программируемые логические интегральные схемы являются КМОП микросхемами.

1.4.1. Базовый КМОП инвертор

Базовым элементом любой микросхемы, выпускаемой по КМОП технологии, является инвертор (логический элемент "НЕ"), выполненный на двух последовательно соединенных МОП транзисторов с изолированным затвором. Рассмотрим кратко свойства этих транзисторов. Условное обозначение МОП транзисторов приведено на рис. 1.15. Используемые для обозначения выводов транзистора термины поясняются ниже.

Источник- источник электронов, протекающих через транзистор-

Сток- место , куда электроны стекают,

Затвор- контакт, куда подается управляющий сигнал



Рис. 1.15. Условные обозначения МОП транзисторов с каналами р и п типов ($U_{зи}$ -напряжение между Затвором и Источником).

В качестве наглядной модели функционирования МОП транзистора можно представить себе резистор ($R_{си}$), соединяющий источник и сток. Величина сопротивления этого резистора определяется напряжением, поданным на изолированный затвор ЛЭ.

Для МОП транзистора с р-каналом напряжение $U_{зи} \leq 0$, для МОП транзисторов с п-каналом – $U_{зи} \geq 0$.

Если у транзистора с каналом п-типа напряжение $U_{зи} = 0$, то сопротивление между стоком и источником $R_{си}$ очень велико и имеет порядок 1 МОм и больше. С *увеличением* напряжения на затворе сопротивление $R_{си}$ нелинейно уменьшается до величины 10 Ом и меньше. Это сопротивление зависит от размеров транзистора.

Транзистор с каналом р-типа имеет противоположные свойства. Если у такого транзистора напряжение $U_{зи} = 0$, то сопротивление между стоком и источником $R_{си}$ очень велико и имеет порядок 1 МОм и больше. С *уменьшением* напряжения на затворе сопротивление $R_{си}$ нелинейно уменьшается до величины 10 Ом и меньше.

Затвор транзистора является изолированным, так как отделен от канала, соединяющего исток и сток, тонким изолирующим слоем окисла. Электроны, собирающиеся на затворе, создают электрическое поле, изменяющее концентрацию электронов в канале, в результате чего и изменяется сопротивление канала МОП транзистора.

Базовая схема КМОП инвертора приведена на **рис. 1.16**. Верхний на схеме МОП транзистор имеет р-канал, нижний транзистор – п-канал. Такие транзисторы, имеющие одинаковые электрические параметры, но разные типы каналов, образуют комплементарную пару. Транзисторы соединены между собой стоками. Исток верхнего транзистора подключен к источнику питания, исток нижнего заземлен. Затворы двух транзисторов объединены и

образуют вход инвертора. Стоки транзисторов подключены к выходу инвертора.

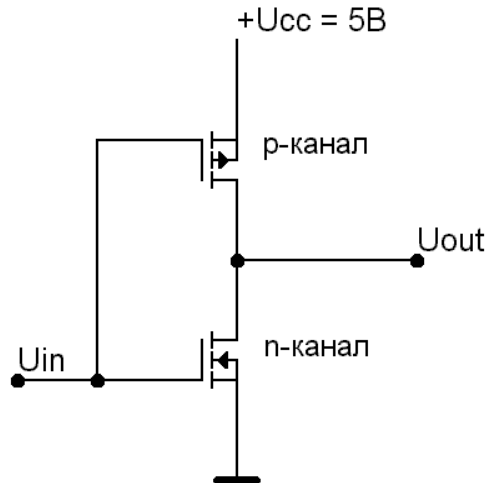


Рис. 1.16. КМОП инвертор, выполненный на МОП транзисторах с р-каналом и n-каналом.

Схема работает следующим образом.

1. Пусть входное напряжение $U_{in} = 0$. Тогда нижний транзистор закрыт, так как для него напряжение $U_{зс} = 0$. Верхний транзистор открыт, так как для него напряжение $U_{зс}$ отрицательно (равно -5 В). В результате выходное напряжение $U_{out} = +5$ В.

2. Пусть входное напряжение $U_{in} = +5$ В. Тогда нижний транзистор открыт, так как для него напряжение $U_{зс} = +5$ В. Верхний транзистор закрыт, так как для него $U_{зс} = 0$. В результате $U_{out} = 0$.

В КМОП технологии приняты следующие уровни напряжений (рис. 2.3), соответствующие логическим (цифровым) сигналам лог. "0" и лог. "1".

Рис. 1.17 показывает двойственный характер цифровой схемы. Это, во-первых, обычная аналоговая схема, работающая при подаче на вход входного напряжения и вырабатывающей на выходе выходное напряжение, соответствующее входному напряжению. Это, во-вторых, цифровая (логическая) схема, выходной сигнал которой может восприниматься как 0 или 1.

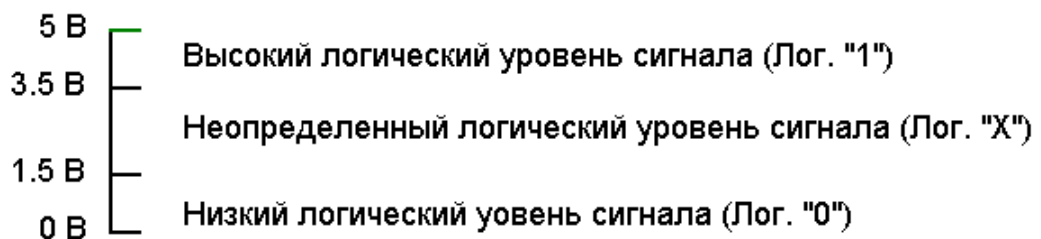


Рис. 1.17. Логические уровни сигналов для КМОП микросхем.

Если **цифровая модель (модель логического уровня)** микросхем уже была рассмотрена выше и для ее описания использовался язык Булевой алгебры и язык описания цифровой аппаратуры VHDL , **то для схемотехнического уровня описания** поведения микросхем на уровне их схемотехнических компонентов типа транзистор, сопротивление, емкость и т.п., используется **язык дифференциальных уравнений** . Для облегчения реализации этих описаний применяются специальные пакеты программ, в которых пользователю предлагается уже готовый набор P-Spice- моделей микросхем [5, 6]). . Пользователь получает в процессе моделирования временные аналоговые диаграммы токов и напряжений в исследуемой схеме. Одним из таких пакетов является пакет МИКРОКАП (MicroCap)[5, 6], используемый в лабораторном практикуме МЭИ по курсу Электроника и иногда и по курсу Схемотехника ЭВМ.

1.4.2. Статические характеристики КМОП инвертора.

Рассмотрим работу КМОП схем с точки зрения аналоговой электроники. Подадим на вход КМОП инвертора (**рис. 1.18**) напряжение, линейно возрастающее в диапазоне от 0 до 5 В и построим график напряжения на его выходе.

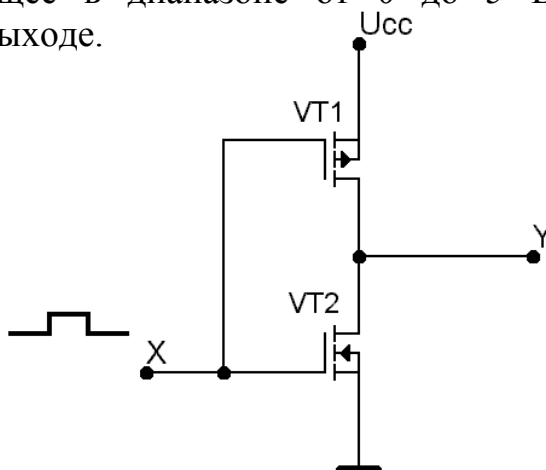


Рис. 1.18. Схема инвертора в режиме холостого хода(без нагрузки).

Характеристика вход – выход инвертора приведена на **рис. 1.19**.



Рис. 1.19. Характеристика вход – выход КМОП инвертора.

Из графика **рис.1.19** видно, что изменение входного напряжения U_{in} в диапазоне 0 – 1.5 В не изменяет напряжение на выходе U_{out} , при этом выходное напряжение остается в зоне логической "1".

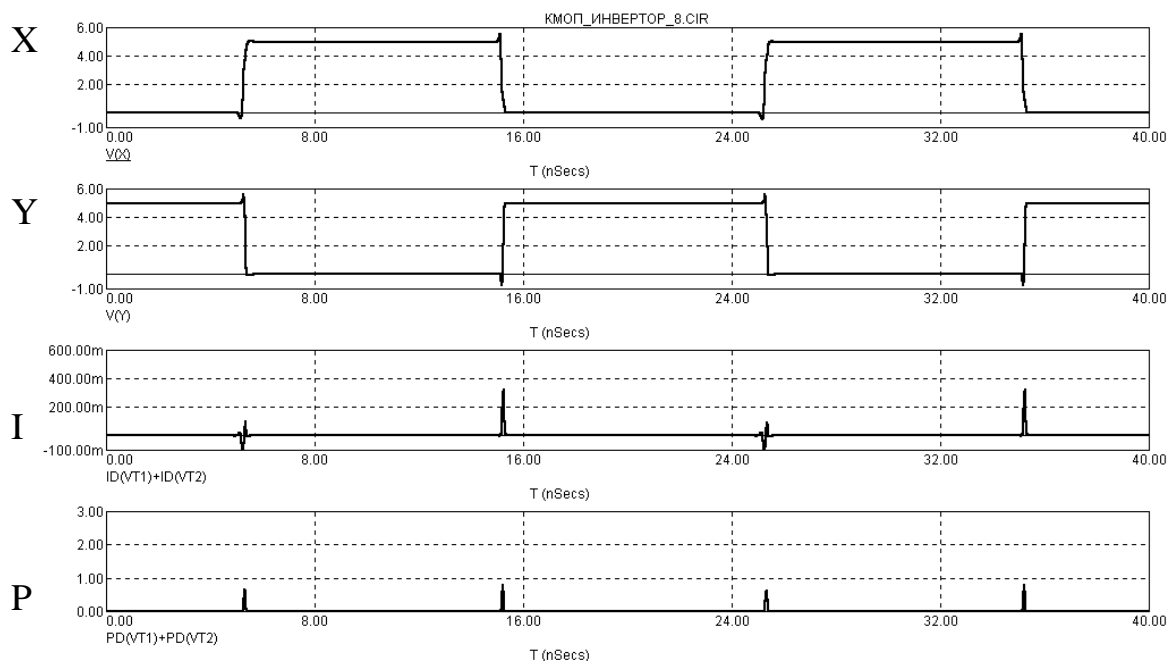
Аналогично, при изменении входного напряжения U_{in} в диапазоне 3.5 – 5 В напряжение на выходе U_{out} не меняется и остается в зоне логического "0". Судя по графику, выходное напряжение остается в зоне логического "0" при изменении входного напряжения от 3 до 5 В.

1.4.3. Динамические характеристики КМОП инвертора.

Подадим на вход инвертора X последовательность импульсов напряжения, полученных от такой же схемы, а к выходу Y подключим нагрузку.

1. Пусть выход инвертора Y никуда не подключен. Это режим холостого хода (см.предыдущий **рис.1 18**).Результаты схемотехнического моделирования приведены на **рис.1. 20**. На первом графике X показаны импульсы напряжения (В) на входе инвертора. На втором графике Y – импульсы напряжения (В) на выходе инвертора. На третьем графике – импульсы сквозного тока (мА), проходящие через транзисторы инвертора в момент переключения. На четвертом графике приведена мощность, выделяемая в источнике питания. Из графика видно, что это чисто

динамическая мощность, выделяемая только в момент переключения инвертора.



X – напряжение на входе инвертора (В),
Y – напряжение на выходе инвертора (В),
I – сквозной ток в транзисторах VT1 и VT2 (мА),
P – мощность, выделяемая в транзисторах VT1 VT2 (Вт).

Рис.1. 20. Динамические характеристики инвертора в режиме холостого хода.

Промоделируем работу инвертора в режиме активной и емкостной нагрузки (**рис.1. 21**). На рисунке резистор R1 и конденсатор C1 отображают эту нагрузку

В этом режиме инвертор потребляет и активную мощность (интервал 16 – 24 нс на графике).

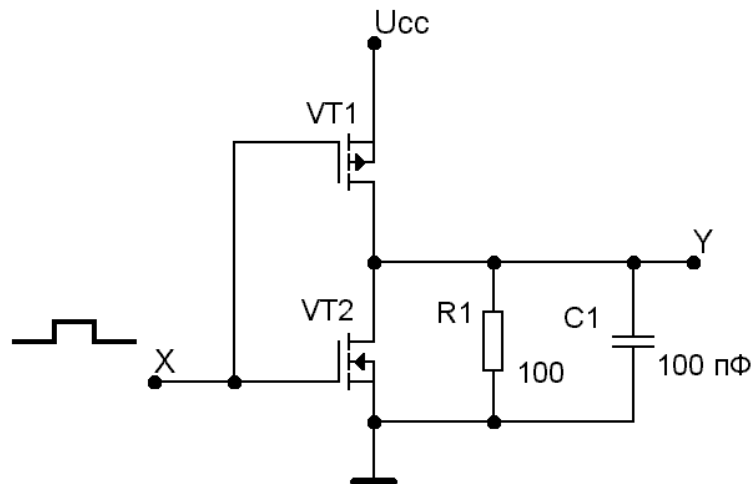
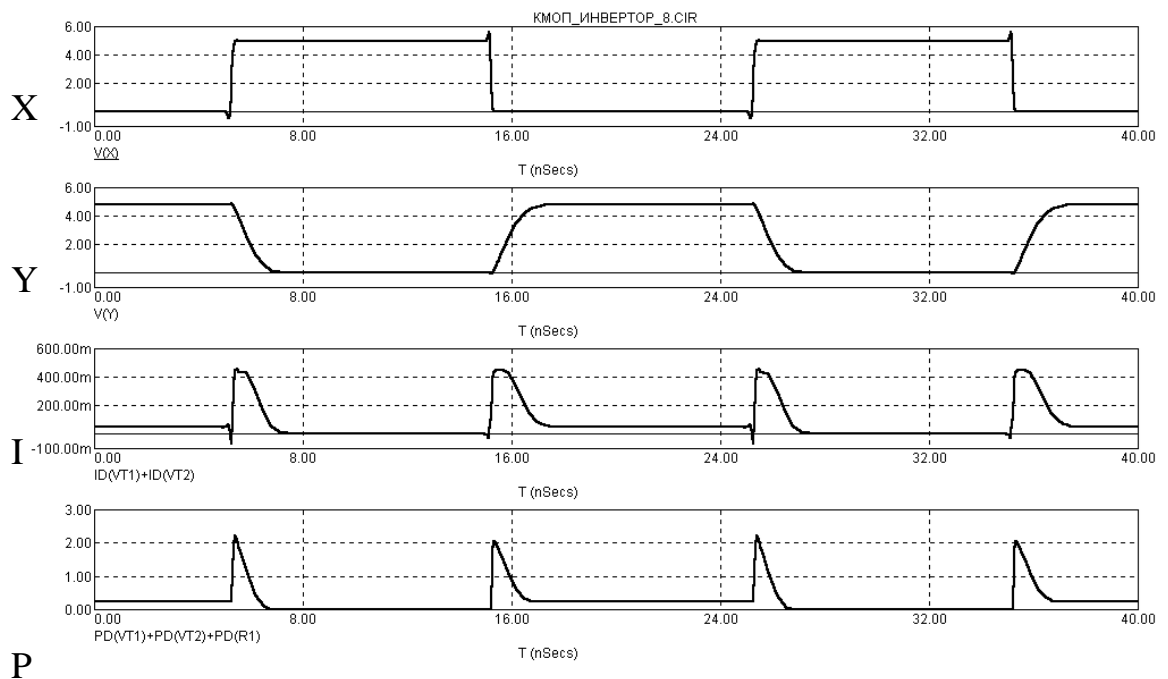


Рис. 1.21. Схема инвертора в режиме активной и емкостной нагрузки.

Результаты моделирования инвертора с активной и емкостной нагрузкой показаны на **рис.1. 22**. Графики показывают, что время переключения инвертора из состояния лог. 1 в состояние лог. 0 и обратно возросло (другими словами, время фронта и спада импульса Y увеличилось), величина сквозного тока и динамическая мощность также возросли.



X – напряжение на входе инвертора (В),
 Y – напряжение на выходе инвертора (В),
 I – сквозной ток в транзисторах VT1 и VT2 (мА),
 P – мощность, выделяемая в транзисторах VT1 VT2 (Вт).

Рис.1. 22. Динамические характеристики КМОП инвертора в режиме активной и емкостной нагрузки.

Проведенное моделирование показывает особенности физических процессов, проходящих в схемах выходных каскадов КМОП микросхем.

1.4.4. Базовые КМОП логические элементы И-НЕ и ИЛИ-НЕ.

На базе МОП транзисторов с каналами p и n типов создают многоходовые логические элементы, реализующие функции И-НЕ и ИЛИ-НЕ. В качестве примера приведем двухходовый логический элемент 2И-НЕ (**рис.1 23**).

Если на входы X0 и X1 подать сигналы высокого уровня, то транзисторы VT2 и VT3 окажутся открытыми, а транзисторы VT1 и VT4 – закрытыми. В результате выход Y окажется подключенным к "земле" (низкому уровню).

Если хотя бы на один из входов X0 или X1 будет подан сигнал низкого уровня, то один из последовательно соединенных транзисторов VT2 и VT3 окажется закрытым, а хотя бы один из двух соединенных параллельно транзисторов VT1 и VT4 окажется открытым. В результате выход Y окажется подключенным к источнику питания Uсс (сигналу высокого уровня).

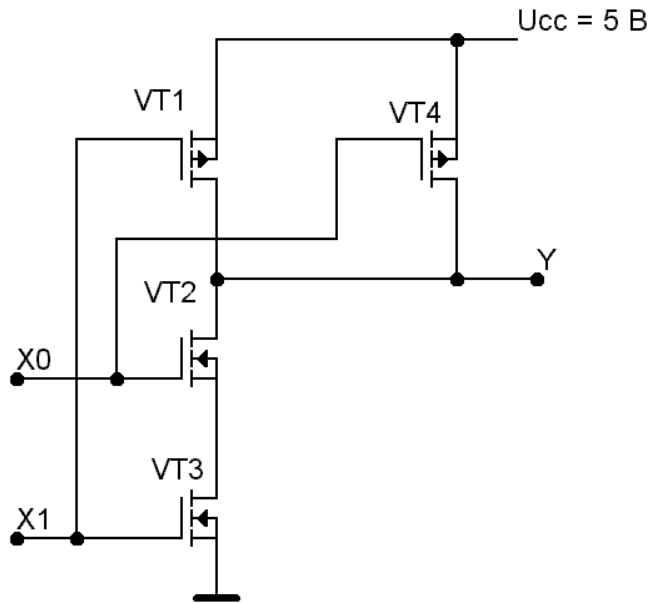


Рис.1. 23. Двухвходовый логический элемент "2И-НЕ".

Схема двухвходового элемента "2ИЛИ-НЕ" приведена на **рис.1. 24.**

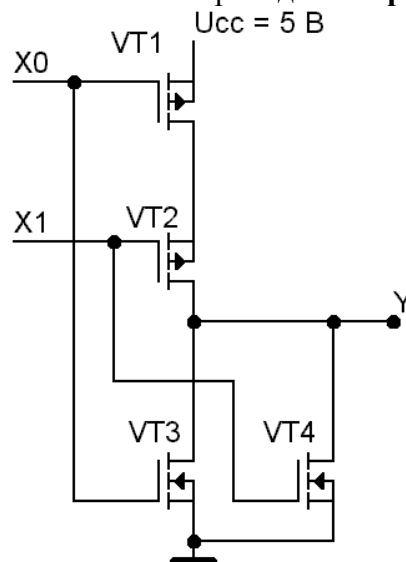


Рис.1. 24. Двухвходовый логический элемент "2ИЛИ-НЕ".

Если на входы X0 и X1 подать сигналы низкого уровня, то транзисторы VT1 и VT2 окажутся открытыми, а транзисторы VT3 и VT4 – закрытыми. В результате на выходе Y окажется сигнал высокого уровня.

Если хотя бы на один из входов подан сигнал высокого уровня, то хотя бы один из транзисторов VT1 или VT2 окажется закрытым, а хотя бы один из транзисторов VT3 или VT4 – открытым. В результате сигнал на выходе Y окажется низкого уровня.

1.4.5. Выходной каскад с открытым стоком.

Верхние по схеме инвертора(см.предыдущий рис.1.18) транзисторы в выходных каскадах микросхем осуществляют *активное подтягивание* выходного напряжения к потенциалу источника питания U_{cc} . Промышленность выпускает микросхемы, в которых верхние транзисторы отсутствуют, а сток нижнего по схеме транзистора выведен наружу. Это выходной каскад с открытым стоком (рис. 1.25).

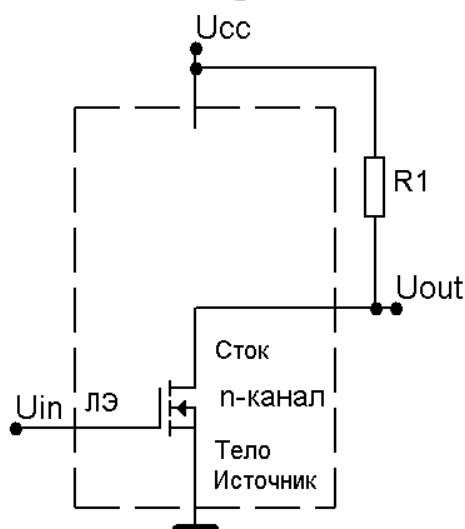


Рис.1. 25. Выходной каскад микросхемы с открытым стоком(общий коллектор).

Схемы выходных каскадов этого типа предусматривают установку внешнего подтягивающего резистора (резистор R1 на схеме рис.1.25), осуществляющего пассивное подтягивание выходного напряжения к напряжению питания U_{cc} .

Выходные каскады этого типа удобны для организации "монтажной логики" и подключения внешней активной нагрузки. Рассмотрим, например, схему организации логической схемы "монтажное ИЛИ-НЕ".

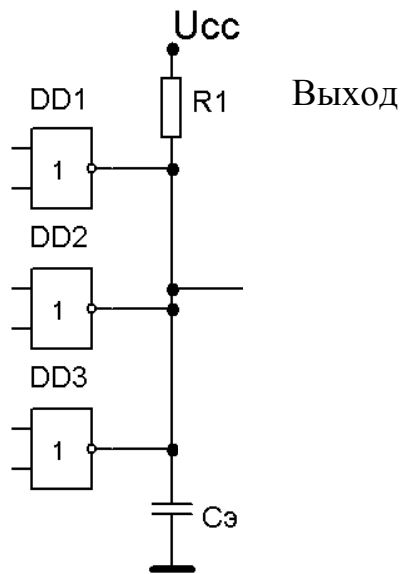


Рис. 1.26. Схема "монтажное ИЛИ-НЕ".

При подаче на любой вход элементов DD1, DD2 и DD3, каждый из которых реализует логическую функцию ИЛИ-НЕ сигнала лог. "1", выход этого элемента станет равным 0. Так как на проводнике, соединяющем все три элемента реализуется **монтажное ИЛИ**, на выходе схемы «монтажное ИЛИ-НЕ» будет лог. "0".

Выбор сопротивления подтягивающего резистора ($R1$ на рис.1.26) является компромиссной задачей проектирования.

С физической точки зрения, чем больше величина этого резистора, тем меньше ток в цепи стока транзистора одной из открытых микросхем DD1, DD2 или DD3. Одновременно с ростом $R1$ увеличивается время заряда эквивалентной емкости $Cз$, равной сумме выходных и входных емкостей микросхем, а так же емкости монтажа.

С уменьшением величины резистора $R1$ улучшаются динамические характеристики схемы (скорость заряда конденсатора, отображающего емкостную составляющую нагрузки, увеличивается), но одновременно увеличивается выходной ток низкого уровня микросхем I_{OL} .

Приведем на рис.1.27 результаты моделирования схемы монтажного "ИЛИ-НЕ" (рис. 1.26), в которой резистор $R1 = 1\text{кОм}$, а емкость $Cз = 30\text{ пФ}$. На вход схемы подается импульс напряжения длительностью 5 нс.

Графики показывают, что каскад с открытым стоком обеспечивает быструю разрядку емкости $Cз$ через открытый транзистор микросхемы (рис. 1.26) за время порядка 0.6 нс и зарядку этой же емкости через

подтягивающий резистор R1 (выходной транзистор микросхемы закрыт) за время, превышающее 100 нс.

Столь несимметричные времена зарядки и разрядки емкостей, подключенных к выходу микросхемы с открытым стоком является главным недостатком монтажной логики.

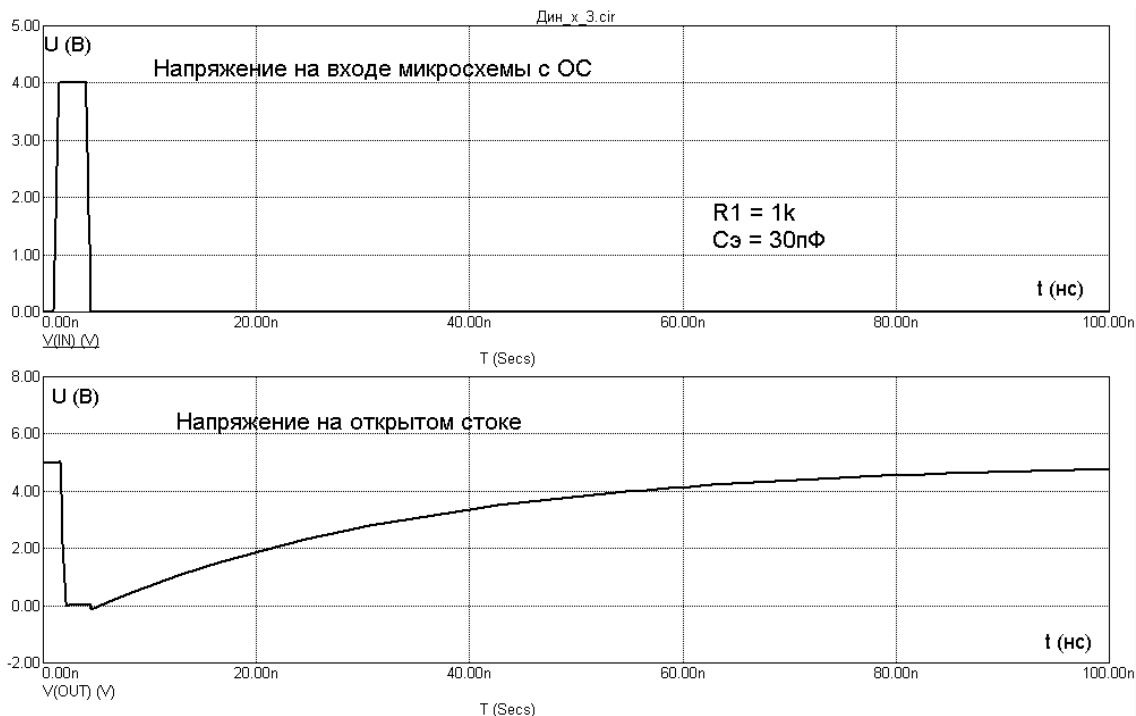
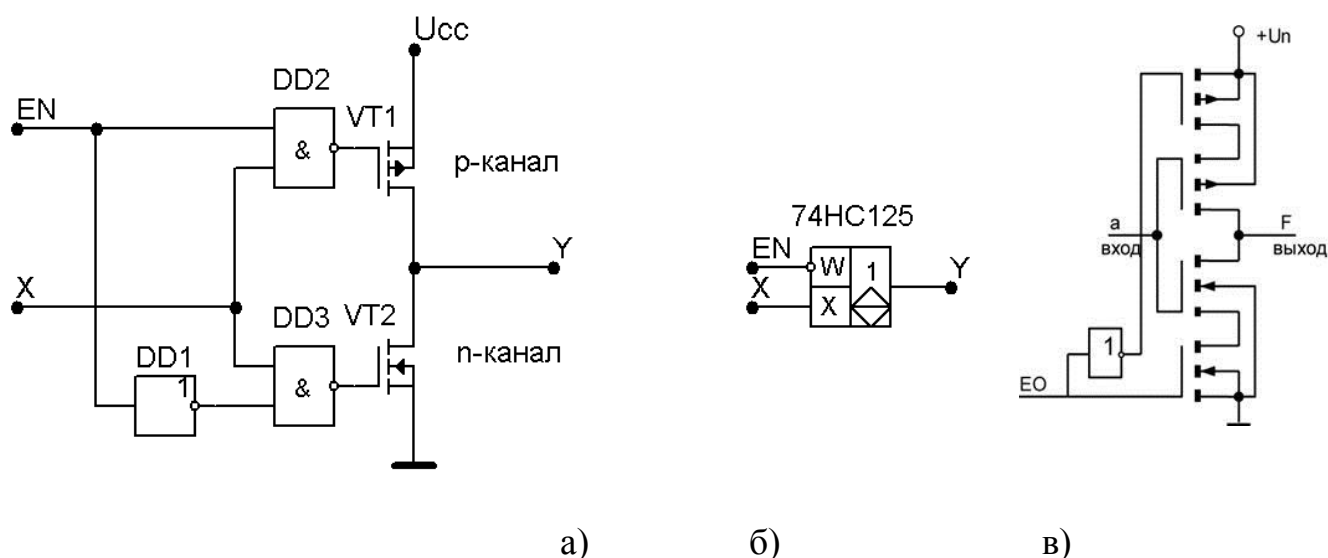


Рис. 1.27. Динамические характеристики инвертора с открытым стоком

Монтажная логика имеет ограниченное применение в быстродействующих цифровых схемах и требует тщательного расчета сопротивления R1.

1.4.6. Выходной каскад с тремя состояниями.

Выходы обычных интегральных микросхем могут находиться в двух состояниях: состоянии с высоким логическим уровнем и состоянии с низким логическим уровнем. У некоторых микросхем выход может электрически отключаться от подключенных к нему внешних элементов схемы и переходить в состояние высокого импеданса (в третье состояние Лог. "Z"). Такие микросхемы имеют дополнительный управляющий вход (вход EN – Enable) сигнал на котором может переводить выход микросхемы в третье состояние. Схема буферного элемента с тремя состояниями на выходе приведена на рис.1 29.



а) – электрическая схема буферного элемента;
 б) – условное графическое изображение (УГО) буферного элемента;
 в) – реальная схема

Рис.1.28. Буферный элемент с тремя состояниями .

Выходной каскад выполнен на паре КМОП транзисторов VT1 и VT2. Затворы этих транзисторов подключены к выходам двух логических элементов DD2 и DD3, образующих совместно с элементом НЕ (DD1) логическую часть буферного элемента, работающую в соответствии со следующей таблицей истинности(таб.1.2).

Таблица1. 2. Таблица функционирования буферного элемента.

EN	X	VT1	VT2	Y
1	0	закр	закр	Z
1	1	закр	закр	Z
0	0	закр	откр	0
0	1	откр	закр	1

Третье состояние (Лог. "Z") на выходе возникает в том случае, когда оба транзистора VT1 и VT2 закрыты.

Логические элементы с тремя состояниями на выходе предназначены для работы на **общую шину**, образуемую объединением выходов нескольких микросхем. На шине выход одной микросхемы находится в обычном состоянии и управляет шиной, а выходы остальных микросхем находятся в третьем состоянии.

Токи утечки выходов с тремя состояниями для некоторых микросхем достаточно велики (до 10 мкА), что требует, например, использование подтягивающего резистора (по типу резистора в схеме монтажного ИЛИ-НЕ рис. 1.26).

1.4.7. Мощность, потребляемая микросхемами.

Мощность, потребляемая от источника питания при работе цифровых устройств является важным фактором при оценке их эффективности. Особенно важны мощностные характеристики для мобильных устройств (определяет периоды подзарядки аккумуляторов) и для устройств, работающих на предельных частотах (определяет сложность охлаждающих узлов).

Мощность, потребляемая микросхемами, делится на статическую и динамическую.

1. **Статическая мощность** определяется как произведение тока потребления на напряжение питания.

$$P_{CCS} = U_{CC} \cdot I_{CCS}.$$

В этой формуле статический ток потребления I_{CCS} отнесен к корпусу микросхемы, который может содержать несколько элементов. Величина тока потребления указывается в справочниках по микросхемам.

2. **Динамическая мощность** содержит две составляющие:

- Мощность P_{CCD1} , связанная с перезарядкой емкостей, подключенных к выходу цифрового элемента. Это C_L – емкость нагрузки, равная сумме выходной емкости элемента, входных емкостей подключенных элементов и емкости монтажа.

$$P_{CCD1} = U_{CC}^2 \cdot C_L / T_{CY}.$$

В формулу для расчета динамической мощности входит время цикла работы микросхемы T_{CY} . Это обычно период импульсов CLK или другая характерная величина, связанная с реальной частотой переключения элемента.

Замечание: Мощность P_{CCD1} рассчитывается на один элемент, входящий в корпус микросхемы.

- Мощность P_{CCD2} , связанная с перезарядкой внутренних емкостей и сквозной ток для корпуса микросхемы. Для расчета этой составляющей динамической мощности применяется эквивалентная емкость C_{PD} , связанная с рассеиванием энергии в микросхеме. Эта емкость указывается в справочниках по микросхемам и относится ко всей микросхеме.

$$P_{CCD2} = U_{CC}^2 \cdot C_{PD} / T_{CY}.$$

Для определения суммарной мощности потребления микросхемой вначале суммируют динамические мощности P_{CCD1} по работающим элементам корпуса микросхемы, затем прибавляют статическую мощность P_{CCS} и динамическую мощность P_{CCD2} .

Для микросхем КМОП серий основной является динамическая мощность.

1.4.8. Многозначные модели сигналов

В начале главы были рассмотрены двоичные, Булевы модели сигналов, в которых сигнал принимает только два возможных значения 0 и 1 и функции логических элементов описываются средствами Булевой алгебры.

Но в этой алгебре например нет средств представления высокоимпедансного значения сигнала, которое появляется на выходе тристабильного буферного элемента..

В отличие от Булевой алгебры, где сигналы имеют только два уровня, в практической схемотехнике используется **многозначная логика**.

Четырехзначная логика

При использовании **четырёхзначной модели** , сигналам назначаются логические уровни из следующего списка:

"1" – высокий логический уровень сигнала,

"0" – низкий логический уровень сигнала,

"X" – неопределенный логический уровень сигнала,

"Z" – логический уровень, соответствующий высокому импедансу.

Ниже в **табл.1.3** в матричной форме представлены таблицы истинности логических операций **НЕ (NOT), И (AND), ИЛИ (OR), ИСКЛ. ИЛИ (XOR)** в **четырёхзначном алфавите** . Аргументы двуместных операций обозначены как A и B, результат в соответствующей им клетке таблицы .

Таблица 1.3. Таблицы истинности логических операций НЕ (NOT), И (AND), ИЛИ (OR), ИСКЛ. ИЛИ (XOR) в четырёхзначном алфавите

НЕ		И				ИЛИ				ИСКЛ.ИЛИ				
NOT		AND				OR				XOR				B
A	NOT A	0	1	X	Z	0	1	X	Z	0	1	X	Z	↓
0	1	0	0	0	0	0	1	X	X	0	1	X	X	0
1	0	0	1	X	X	1	1	1	1	1	0	X	X	1
X	X	0	X	X	X	X	1	X	X	X	X	X	X	X
Z	X	0	X	X	X	X	1	X	X	X	X	X	X	Z

Тройная модель представления цифровых сигналов легко определяется из четверичной путем исключения одного из значений – X или Z.

Девятизначная значная модель представления цифровых сигналов.

Дальнейшее уточнение математических представлений цифровых сигналов и операций над ними идет либо за счет еще большего повышения значности используемого алфавита, либо за счет введения дополнительного параметра - силы сигнала. Например в девятизначном алфавите сигнал может быть представлен девятью значениями :

- 'U' неинициализированное,
- 'X' сильная неопределенность,
- 'W' слабая неопределенность,
- '0' сильный 0,
- 'L' слабый 0,
- '1' сильная 1,
- 'H' слабая 1,
- 'Z' высокий импеданс,
- '~' безразличное значение.

Таблицы истинности логической операции НЕ и операции И в этом девятизначном алфавите представлена ниже (см. табл.1.4) .В таблице истинности операции И по горизонтали в первой строке таблицы представлено девять возможных значений аргумента А, по вертикали в последнем(самом правом)столбце - девять возможных значений аргумента В. В ячейках матрицы- значение результата операции И в девятизначном алфавите. Например, из таблицы истинности девятизначной операции И, представленной ниже, следует, что если аргумент А равен 1(четвертый слева столбец таблицы истинности) , а В равен U (вторая строка), то результат операции равен U.

Таблица 1.4. Таблицы истинности логических операций НЕ (NOT) и И (AND) в девятизначном алфавите UX01ZWLN~

NOT		AND									B	
A	Y	A ->	'U'	'X'	'0'	'1'	'Z'	'W'	'L'	'H'	'~'	↓
U	U	(('U'	'U'	'0'	'U'	'U'	'U'	'0'	'U'	'U'	--U
X	X	('U'	'X'	'0'	'X'	'X'	'X'	'0'	'X'	'X'	--X
0	1	('0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'	--0
1	0	('U'	'X'	'0'	'1'	'X'	'X'	'0'	'1'	'X'	--1
Z	X	('U'	'X'	'0'	'X'	'X'	'X'	'0'	'X'	'X'	--Z
W	X	('U'	'X'	'0'	'X'	'X'	'X'	'0'	'X'	'X'	--W
L	1	('0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'	'0'	--L
H	0	('U'	'X'	'0'	'1'	'X'	'X'	'0'	'1'	'X'	--H
~	X	('U'	'X'	'0'	'X'	'X'	'X'	'0'	'X'	'X'	--~

Именно такая модель сигналов образуют логический тип сигналов с именем std_ulogic пакета языка VHDL STD_LOGIC, входящего в стандарт IEEE STD_LOGIC_1164.

*TYPE std_ulogic IS (
'U', -- Uninitialized (неинициализированный сигнал),*

'X', -- *Forcing Unknown* (неопределенный сигнал),
'0', -- *Forcing 0* (сигнал лог. "0"),
'1', -- *Forcing 1* (сигнал лог. "1"),
'Z', -- *High Impedance* (высокий импеданс),
'W', -- *Weak Unknown* (слабый неопределенный сигнал),
'L', -- *Weak 0* (слабый сигнал лог. "0"),
'H', -- *Weak 1* (слабый сигнал лог. "1"),
'-' -- *Don't care* (произвольный сигнал);