

1 Архитектура ПЛИС CPLD

CPLD — микросхемы высокого уровня интеграции, основными частями которых являются:

- PAL (GAL) — подобные функциональные блоки;
- система коммутации, позволяющая объединять функциональные блоки в единое устройство, выполненная в виде матрицы соединений.
- блоки ввода/вывода.

Все составные части CPLD программируются. Обобщенная структура CPLD показана на рис. 1.1.

В структурной схеме приняты следующие обозначения. Через ФБ (FB) обозначены функциональные блоки, число которых N зависит от уровня интеграции микросхемы и изменяется в довольно широких пределах. В каждом ФБ имеется n макроячеек МЯ (МС, Macrocells). Функциональные блоки получают входные сигналы от программируемой матрицы соединений ПМС (PIA, Programmable Interconnect Array). Число таких сигналов m . Выходные сигналы ФБ поступают как в ПМС, так и в блоки ввода/вывода CPLD (IOBs, Input/Output Blocks, БВВ). ПМС обеспечивает полную коммутируемость функциональных блоков, т. е. возможность подавать сигналы с любого их выхода на любой вход.

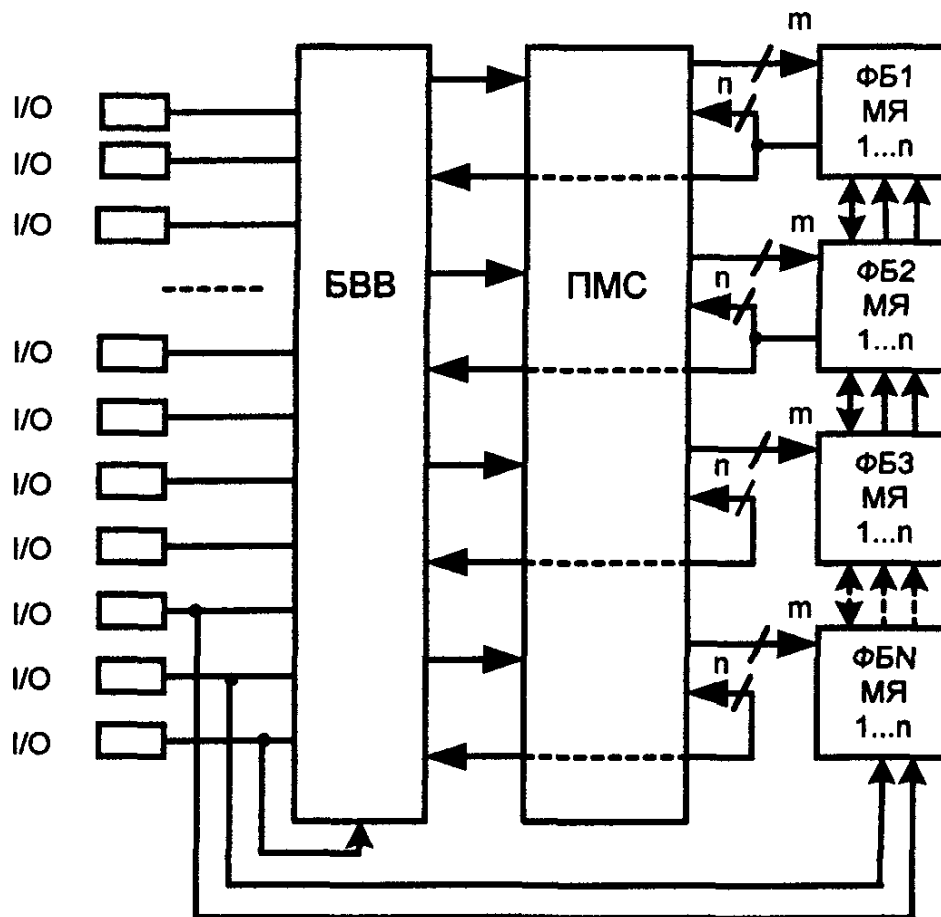


Рис. 1.1. Обобщенная структура CPLD

Блоки ввода/вывода связаны с внешними двунаправленными выводами I/O, которые, в зависимости от программирования, могут быть использованы как входы или как выходы. Три нижних вывода либо специализируются для подачи на матрицу функциональных блоков сигналов GCK (Global Clocks) глобального тактирования, сигналов GSR (Global Set/Reset) глобальной установки/сброса и сигналов GTS (Global 3 -state Control) глобального управления третьим состоянием выходных буферов, либо эти же выводы могут быть использованы для операций ввода/вывода. Здесь и далее термин "глобальный" применяется для сигналов, общих для всей микросхемы.

Число контактов ввода/вывода может совпадать с числом выходов всех ФБ, но может быть и меньшим. В последнем случае часть макроячеек может быть использована только для выработки внутренних сигналов устройства (в частности, сигналов обратной связи). Необходимость в таких сигналах типична для структур большинства цифровых устройств. Структура на рис. 1.1 несколько упрощена. Кроме показанных блоков в CPLD могут присутствовать контроллеры для управления операциями программирования

непосредственно в системе (In System Programmability, ISP), контроллеры для работы с интерфейсом JTAG и др.

2 Функциональные блоки CPLD

CPLD различных фирм -изготовителей и разной сложности имеют функциональные блоки, в принципиальном отношении мало отличающиеся друг от друга по своей архитектуре и составу элементов. Обобщенная структура функционального блока CPLD показана на рис. 1.2.

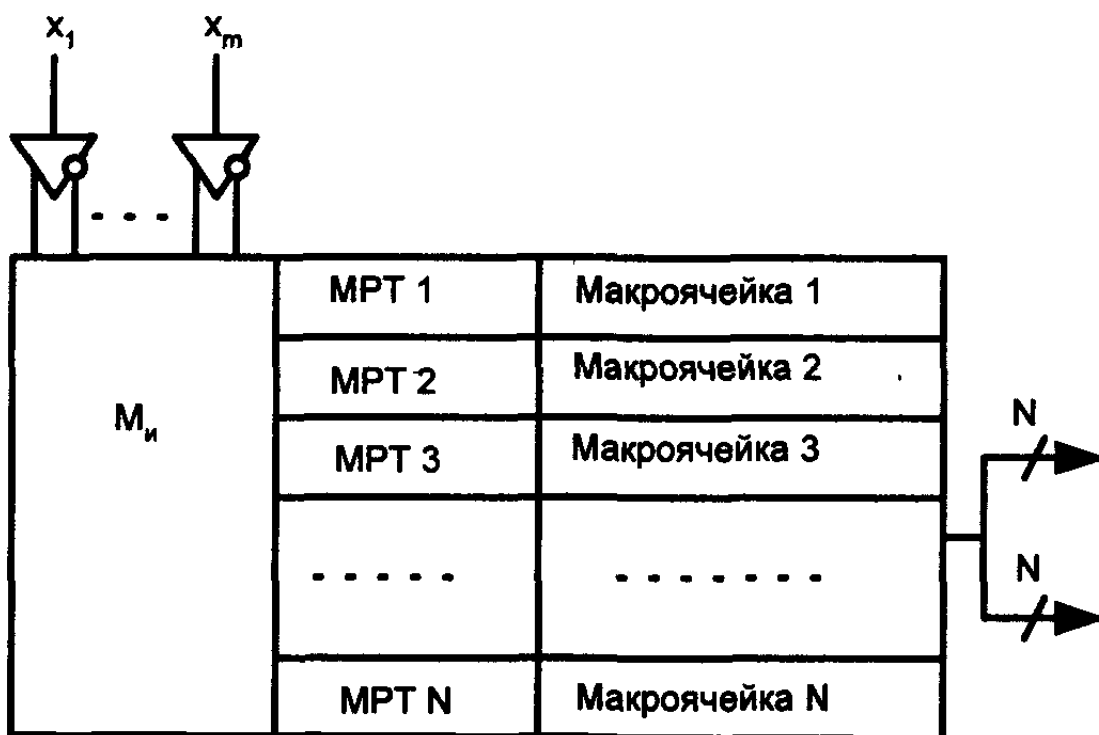


Рис. 1.2. Структура функционального блока CPLD

Основными частями функциональных блоков CPLD являются программируемая матрица элементов И (M_n), матрица распределения термов MPT и группа из нескольких (N) макроячеек. По существу, каждый ФБ представляет собою PAL -подобную структуру с некоторыми отличиями от вариантов, используемых в простых PLD (ПМЛ). Как и в классических PLD, в блоке имеется многовходовая (Wide) матрица M_n , вырабатывающая конъюнктивные термы для их использования в последующих частях блока. В классических PLD типа ПМЛ термы жестко распределяются между дизъюнкторами, формирующими выходные функции в форме ДНФ. Совокупность дизъюнкторов образует фиксированную (не программируемую) матрицу элементов ИЛИ.

Макроячейка содержит в качестве основы программируемые мультиплексоры, триггер (или триггеры) и формирует группу выходных сигналов ФБ в нескольких их вариантах. (Термин "макроячейка" трактуется в разных источниках по-разному. Наряду с указанным определением встречаются и такие, согласно которым макроячейкой называют часть ФБ, содержащую все его последовательно включенные части (группу элементов И, МРТ и все последующие элементы, относящиеся к данному каналу выработки выходных функций).) На рис. 1.3 раскрыта схема одной из идентичных макроячеек ФБ. Прообразом показанной схемы является макроячейка CPLD XC9500 фирмы Xilinx, не имеющая разделяемого (общего) логического расширителя.

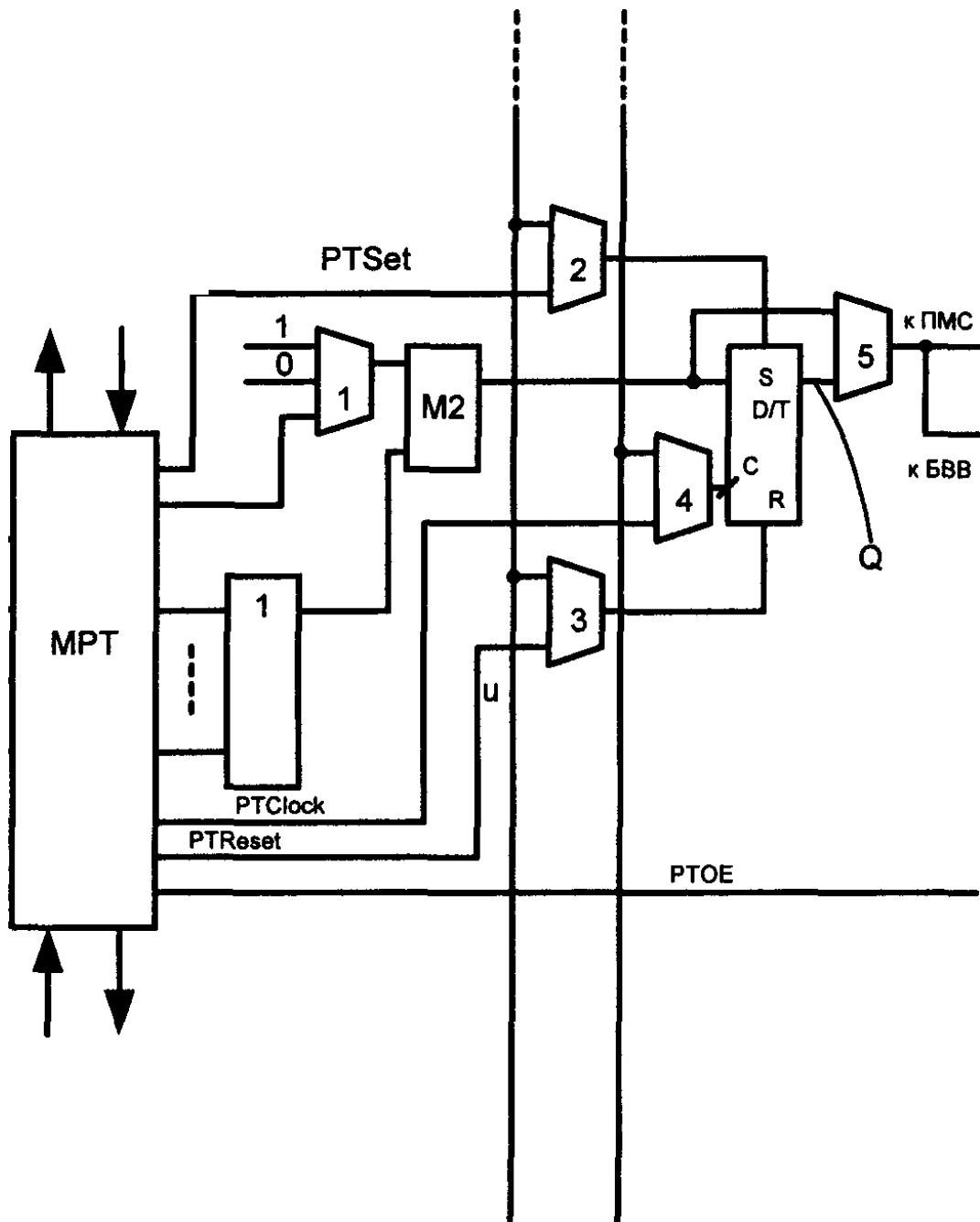


Рис. 1.3. Пример схемы макроячейки функционального блока CPLD

Программируемость мультиплексоров в этой схеме и всех дальнейших не отображается, т.к. она присуща всем имеющимся в схеме мультиплексорам, если не оговорено противоположное. В зависимости от программирования каждый мультиплексор передает на выход сигнал с того или иного входа. Триггер может программироваться на режимы работы триггера типа D или T. Заметим, кстати, что при описании микросхем программируемой логики триггеры в иностранной литературе чаще всего называют регистрами. Триггеры тактируются положительными фронтами синхросигналов и имеют входы установки S и сброса R. Выходные сигналы ФБ передаются в ПМС и в блоки ввода/вывода БВВ.

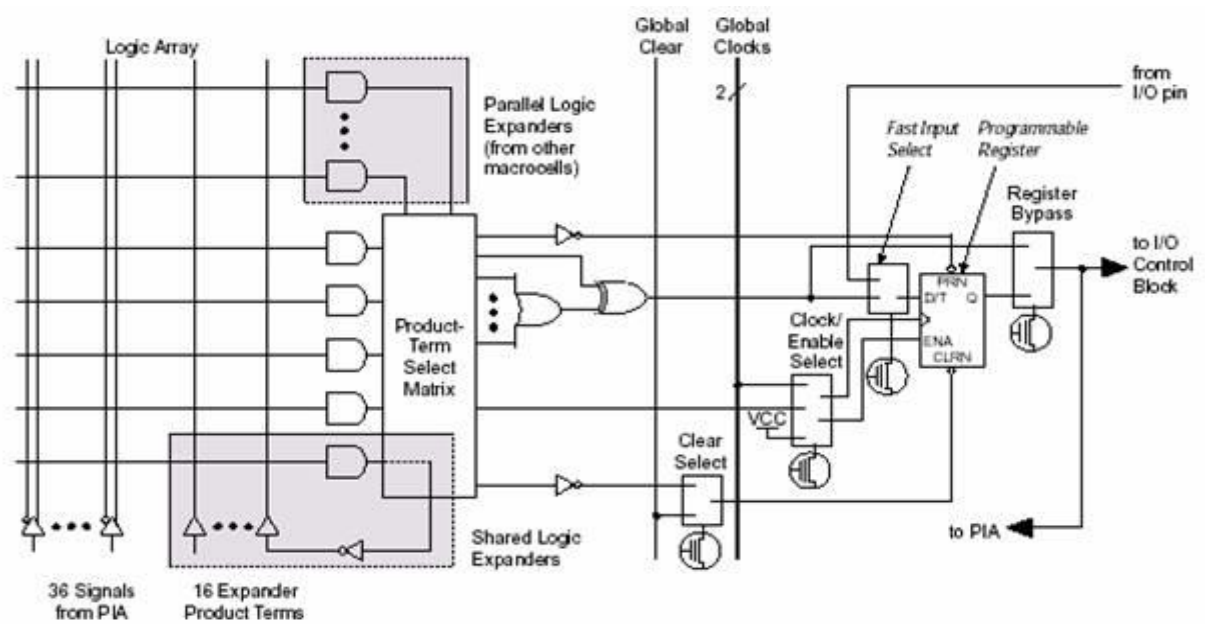
Аргументы x_1, \dots, x_M реализуемой макроячейкой функции поступают на матрицу M_i из ПМС. Аргументами для МЯ могут быть как входные сигналы, поступающие извне через БВВ, так и сигналы обратных связей, подаваемые в матрицу И с выходов макроячеек. На рис. 1.2 входные сигналы матрицы независимо от их характера обозначены через x_1, \dots, x_M . Входные буферы преобразуют сигналы в парафазные, представляя каждый сигнал его прямым и инверсным значениями, так что в матрице имеется $2M$ вертикальных линий и образующие ее конъюнкторы имеют по $1M$ входов. Пять термов из матрицы И поступают на элемент ИЛИ для образования логической функции. Для управления триггером и буферами блока ввода/вывода вырабатываются также термы PTSet, PTClock, PTRreset, которые могут быть использованы как сигналы установки, синхронизации и сброса триггера. Терм PTOE — программируемый терм управления третьим состоянием буфера БВВ (OE, Output Enable). Всего в матрице И на рис. 1.3 программируются $9N$ термов.

На выходе элемента ИЛИ вырабатывается логическая функция в форме ДНФ ранга не более M . Ее значение передается дальше через элемент сложения по модулю 2, на второй вход которого, в зависимости от программирования мультиплексора 1, может быть подан логический нуль, логическая единица или терм PT1. В первом случае функция передается без изменений ($F = F^*$), во втором инвертируется ($F = !F^*$), в третьем передается в прямом виде во всех ситуациях за исключением такой, в которой $PT1 = 1$. Мультиплексор MUX5 программируется для передачи на выход МЯ либо непосредственно значения функции F (комбинационный выход), либо состояния триггера (регистровый выход). Характер тактирования триггера определяется программированием мультиплексора MUX4, при этом возможно использование глобального синхросигнала (GCK, Global Clock) или сигнала, порождаемого термом PTClock. Асинхронные установка и сброс триггера производятся либо глобальным сигналом (GSR, Global Set/Reset), либо термами PTSet и PTRreset, что определяется программированием мультиплексоров MUX2 и MUX3. Сам триггер программируется на режимы триггера задержки (типа D) или счетного (типа T).

Основной выходной сигнал макроячейки поступает как в ПМС, которая может направлять его по любому требуемому маршруту, так и в блоки ввода/вывода.

3 Структура макроячейки

МЯ может быть запрограммирована на сброс или предустановку по включению питания. Регистр МЯ может быть сконфигурирован как D-триггер, T-триггер, регистр-защелка или не задействован, если МЯ необходима для реализации комбинаторной функции. Каждый из указанных выше триггеров может тактироваться от любого из восьми источников сигнала или его инверсии. К этим источникам тактового сигнала относятся: 2 глобальных тактовых сигнала, выбранные из четырех глобальных сигналов, поступающих напрямую от контактов микросхемы; общий сигнал синхронизации (терм от одного из ФБ кристалла); локальные термы управления (из данного ФБ) - LCT[4:7]; терм синхронизации РТС. В МЯ существует две мультиплексные связи с переключающей матрицей ZIA. Один мультиплексор выбирает либо выход мультиплексора VFM, либо выход регистра. Другой мультиплексор выбирает либо выход регистра, либо сигнал с контакта микросхемы. Когда контакт ввода-вывода используется как выход, выходной буфер задействован, линия обратной связи МЯ может быть использована для реализации обратной связи внутри МЯ. Когда контакт ввода-вывода используется как вход, выходной буфер переведен в третье состояние и соединение контакта ввода-вывода с переключающей матрицей осуществляется через линию обратной связи ячейки ввода-вывода. Если контакт микросхемы используется как регистровый вход, то соединение контакта и входа регистра осуществляется по линии прямой связи, что обеспечивает минимальное время установки сигнала. Если регистр МЯ сконфигурирован как регистр-защелка, вход разрешения тактирования регистра МЯ не функционирует. Структурная схема макроячейки показана на рисунке.



4 Технические характеристики семейств CPLD

XC9500XL — семейство программируемых вентиляльных матриц оптимизированное для применения в высокопроизводительных системах.

Технические характеристики:

Задержка сигнала от входа до выхода 5 нсек

Системная частота до 208МГц

Компактные корпуса (VQFP, TQFP, CSP)

Поддержка стандартов ввода 2.5, 3.3 и 5.0В

Поддержка стандартов вывода 2.5 и 3.3В

Технология производства 0.35 микрон CMOS Flat Flash

Перепрограммирование непосредственно в системе

4 кристалла ёмкостью от 36 до 288 макро ячеек и от 800 до 6400 системных

вентилей

До 90 термов на макроячейку

Программируемый режим пониженной потребляемой мощности в каждой макроячейке

Управление задержкой сигнала по любому из выходов

Защита системы от копирования

Полная поддержка сканирования в соответствии со стандартом IEEE Std 1149.1

(JTAG)

10000 циклов перепрограммирования

20 лет хранения конфигурации

Совместимость по выводам с семейством 5В XC9500

Семейство CPLD XC9500XL предназначено для применения в телекоммуникационных и компьютерных системах. CPLD CoolRunnerII — это семейство программируемых вентиляльных матриц предназначенное для применения в системах с напряжением питания 1,8В.

Технические характеристики:

Самое быстрое семейство CPLD с низким энергопотреблением

Потребление электроэнергии в статическом режиме менее 100 мкА

Емкость от 32 до 512 макро ячеек

Технология производства 0.18 микрон CMOS CPLD

Оптимизированная архитектура для эффективного логического синтеза

Поддержка стандартов ввода/вывода 1.5, 1.8, 2.5 и 3.3В

Высокоскоростное программирование в системе с напряжением питания 1.8В по стандарту IEEE 1532 (JTAG)

Конфигурирование «налету» (On The Fly Configuration)

Полная поддержка сканирования в соответствии со стандартом IEEE Std 1149.1

(JTAG)

Установка на входных цепях ввода триггера Шмидта

Гибкая система синхронизации: возможность применения триггеров, тактируемых фронтом и спадом сигнала синхронизации; делитель тактового сигнала с коэффициентом 2, 4, 6, 8, 10, 12, 14 и 16; методика Cool Clock

Защита системы от копирования

Наличие сигнала тактирования в каждой макро ячейке

Асинхронное тактирование элементов устройства с использованием тактовых сигналов, формируемых внутри логического блока, и четырех глобальных тактовых сигналов, поступающих с выводов кристалла

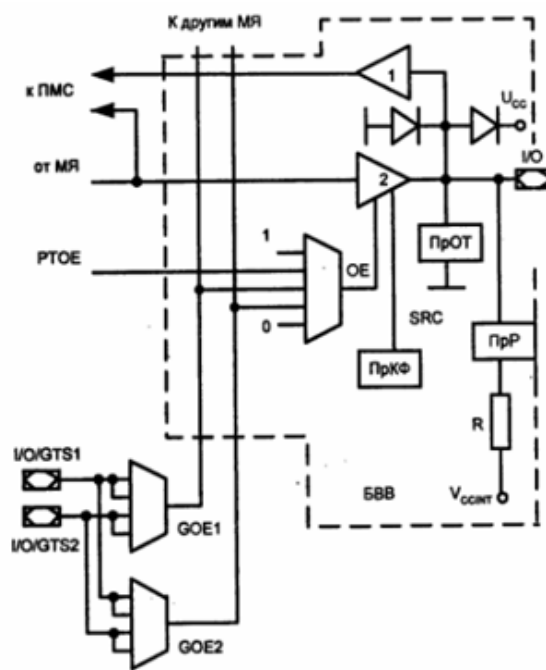
Широкий выбор различных корпусов (BGA, TQFP, PQFP, PLCC)

1000 циклов перепрограммирования

20 лет хранения конфигурации

5 Особенности конфигурации ПЛИС CPLD

Блоки ввода-вывода соединяют внешние контакты микросхемы с ее внутренними цепями. Примером такого блока может служить БВВ CPLD типа XC9500 фирмы Xilinx на рисунке .



Пример схемы блока ввода/вывода CPLD

Основой БВВ служат два буфера — входной (1) и выходной (2). Чтобы обеспечить постоянство уровней напряжения, поступающих на входной буфер, и их независимость от амплитуды входных сигналов, в схеме вырабатывается внутреннее напряжение питания V_{CCINT} и вводится цепь из двух фиксирующих диодов.

Схема программируемой общей точки ПрОТ позволяет пользователю при необходимости получать дополнительный "заземленный" вывод. Дополнительные выводы для системы "заземления" повышают ее качество и тем самым снижают уровень помех в микросхеме.

Схема программирования подключаемого резистора ПрР введена для исключения плавающих потенциалов на контактах ввода, когда они не используются в рабочем режиме. В этом случае контакту задается высокий потенциал от цепи V_{CCINT} — R. Резистор R используется и в некоторых других режимах, а в рабочих режимах отключается.

Выходной буфер 2 получает сигналы разрешения работы OE и управления крутизной фронта выходного напряжения SRC (Slew Rate Control). Сигнал OE с помощью программируемого мультиплексора MUX3 вырабатывается в нескольких вариантах: от

терма РТОЕ, получаемого от макроячейки, от любого из глобальных сигналов управления третьим состоянием (GOE1, GOE2), от константы 1 и от константы 0. Глобальные сигналы управления третьим состоянием образуются с возможностью выбора любой полярности исходных сигналов GTS1 и GTS2.

Выходные буферы конфигурируются для работы с напряжениями питания 5 или 3,3 В при подключении внешнего источника питания с тем или иным уровнем напряжения.