

ПРОЕКТИРОВАНИЕ СИНХРОННЫХ СХЕМ

5.1. Введение в проектирование синхронных схем.

Ниже приводятся лишь некоторые рекомендации из области проектирования синхронных схем. Наряду с примерами удачных схемотехнических решений даны и примеры неудачных. При анализе временных соотношений следует учитывать, что в схемах, реализованных на не очень быстродействующих элементах среднего уровня интеграции, типа отечественных микросхем серий КР1553 и КР1554, максимальные тактовые частоты лежат в пределах 2-3 десятков мегагерц и задержки сигналов в проводниках существенно меньше задержек сигналов в элементах. Однако в современных Больших Интегральных Схемах (БИС) с тактовой частотой в несколько сотен мегагерц задержки в проводниках соизмеримы с задержками логических элементов и их следует учитывать при проектировании.

5.1.1 Понятие синхронной схемы.

Синхронные схемы (синхронные модули) – это тактируемые схемы, которые обладают следующими свойствами.

- 1) **Все запоминающие** элементы схемы (триггеры – flip-flop, регистры (register), блоки памяти (оперативной – ОЗУ (RAM), постоянной – ПЗУ (ROM), с организацией типа очередь – ФИФО (FIFO) и т.п.) **должны изменять свои состояния одновременно** по одному и тому же активному фронту поступающего извне тактового сигнала (C-clock).
- 2) **Синхросигнал (C-clock) без задержек**, т.е. одновременно, должен поступать на все запоминающие элементы схемы.

Внешний синхросигнал при реализации синхронной схемы на кристалле вводится через **специальный тактовый буфер** и разводится так, чтобы обеспечить одновременность его поступления на все запоминающие элементы.

На рис.5.1 представлена обобщенная структура синхронной схемы с одноктактной синхронизацией (синхросигнал C). К моменту прихода внешнего синхросигнала C на регистры (RG-register) выходы комбинационных схем (CC-combinatorial circuit) должны успеть принять стабильное состояние.

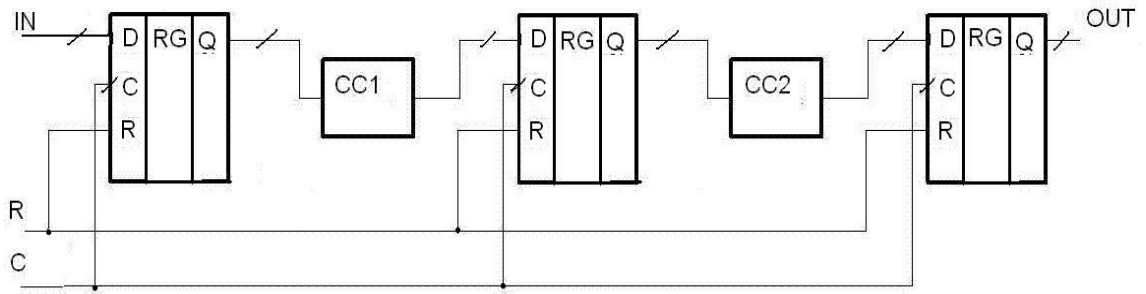


Рис.5.1. Обобщенная структура синхронной схемы.

Таким образом, **согласно принципам «чистого синхронизма»** не рекомендуется, например, строить схемы, в которых применяются управляемые синхросигналы (gated clocks). **Управляемым называется синхросигнал**, генерируемый внутри схемы и трассируемый, если САПР не получает специальных указаний от проектировщика, как обычный сигнал. На схеме рис.5.2 это сигнал C1.

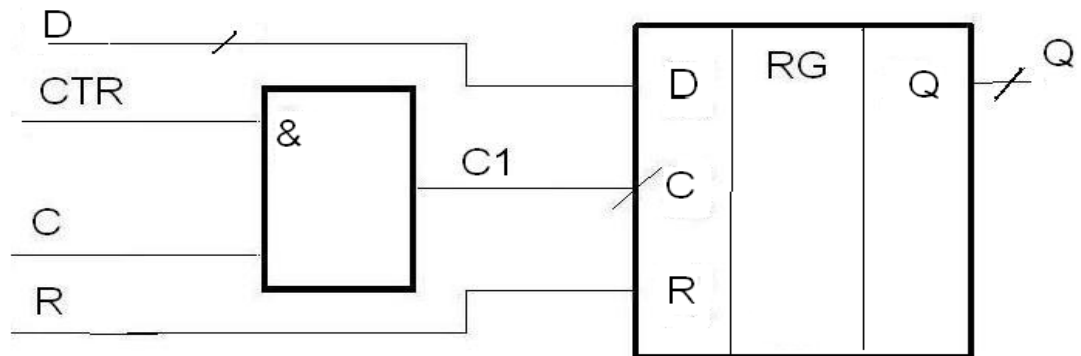


Рис.5.2. Схема приема на регистр с управляемым синхросигналом C1.

Если такой управляемый синхросигнал поступает на множество триггеров, за схемой И(&) (рис.5.2) должен стоять, по крайней мере, буферный повторитель, а «по-хорошему» должна использоваться специальная сеть разводки этого нового, задержанного синхросигнала C1. Применение «управляемых синхросигналов» сильно усложняет расчет временных параметров схем. Использование триггеров с разрешающим входом, как это показано на рис.5.3 во многих случаях позволяет избежать ситуации с управляемыми синхросигналами.

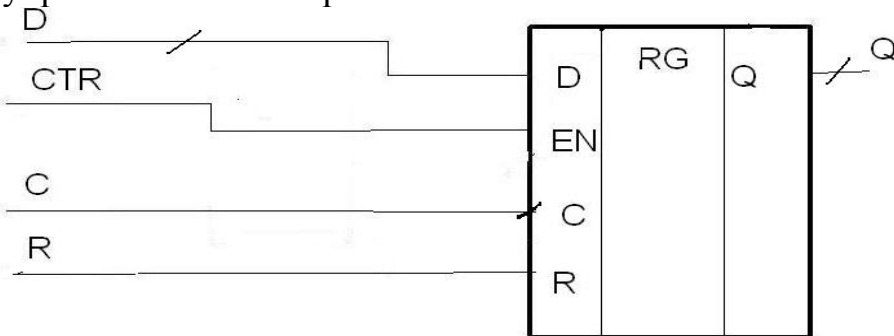


Рис.5.3. Улучшенный вариант схемы приема на регистр, построенный на триггерах с разрешающим входом EN.

В приведенных ранее в главе 4 имеется много примеров схем с управляемыми синхросигналами, но, как уже отмечалось, для схем малого быстродействия этот недостаток несуществен.

Кроме того, в схемотехнике устройств с малым потреблением энергии (low power design) управляемые синхросигналы применяются весьма часто. На период неактивности модуля его управляемый синхросигнал отключается и этот прием является предметом особого внимания проектировщиков.

Прежде чем рассмотреть синхронные схемы более подробно, следует ответить на вопрос, почему в основной массе проектов используются синхронные, а не асинхронные схемы?

1) Синхронные схемы более устойчивы к разбросу параметров элементов и условий эксплуатации – температуры, напряжения источников питания и т.п.

2) Элементная база современных БИС в основном ориентирована на синхронную схемотехнику.

3) Интерфейс между двумя блоками синхронных устройств обычно более прост, чем между двумя асинхронными и не требует реализации протоколов типа запрос-устройство свободно- ответ да, если свободно.

4) Большинство современных САПР ориентировано на проектирование синхронных схем.

К недостаткам синхронных схем относится высокое энергопотребление сети распространения синхросигналов и помехи, порождаемые мощными синхроимпульсами.

5.1.2. Параллелизм и конвейеризация.

Существует два известных пути повышения производительности и быстродействия устройств – это **параллелизм и конвейеризация**.

Рассмотрим в качестве примера схему сложения четырех слагаемых $S=A+B+C+D$. Вариант последовательного сложения представлен на рис.5.4. Схема использует один сумматор и один регистр и требует четырех тактов на выполнение операции. $T_{\text{слож.послед.}} = 4 \cdot TD = 20 \text{ ns}$, где TD включает задержку на сумматоре и на регистре. После обнуления регистра сигналом сброса R , $A + 0$ загружается в регистр на первом такте, $B+A$ на втором и т.д.

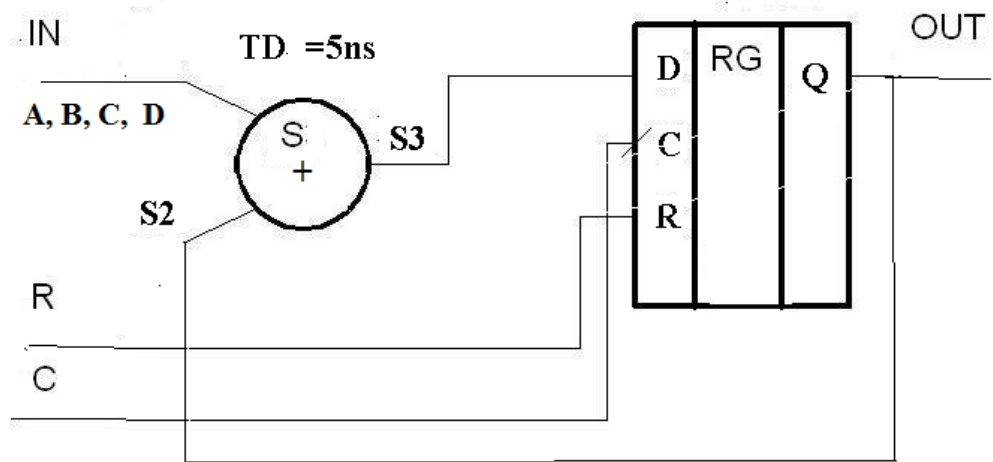


Рис.5.4. Последовательный вариант вычисления суммы четырех слагаемых (Тсл_послед= 4*TD=20 ns).

Параллелизм в реализации четырех входного сумматора .

Примером использования параллелизма может служить схема вычисления суммы четырех слагаемых $S=(A+B)+(C+D)$ с использованием трех сумматоров и одного регистра. Первые два сумматора параллельно вычисляют выражения в скобках (рис.5.5.).

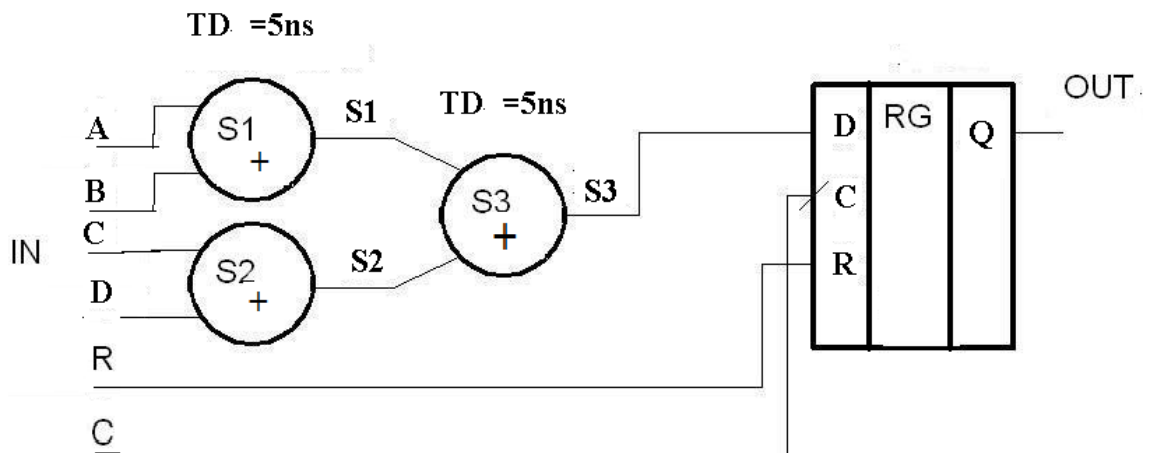


Рис.5.5.Параллельный вариант вычисления суммы четырех слагаемых (Тсл_парал= 2*TD=10 ns)

По сравнению с последовательным вариантом вычисления суммы $S=A+B + C+D$ (рис.5.4) такая схема позволяет **уменьшить время сложения в два раза. Однако расход аппаратуры – количество сумматоров увеличилось в три раза.**

Конвейеризация.

На рис.5.6.представлен вариант конвейерной организации схемы сложения четырех слагаемых. Схема использует три регистра и три сумматора. Первая сумма на выходе OUT конвейера появляется через три такта (латентность конвейера или глубина конвейера=3), а далее новые суммы появляются на каждом такте. Т.к. время такта равно $TD=5$ ns, $T_{сл_конв}=TD=5$ ns то быстродействие этой схемы в четыре раза больше, чем у последовательного варианта (рис.5.4, $T_{сл}=4TD=20$ ns) и в два раза больше, чем у параллельного (рис.5.5, $T_{сл}=2TD=10$ ns)). Однако количество регистров в конвейерной схеме возросло в шесть раз по сравнению с параллельным вариантом суммирования четырех чисел A,B,C, D (рис.5.5).

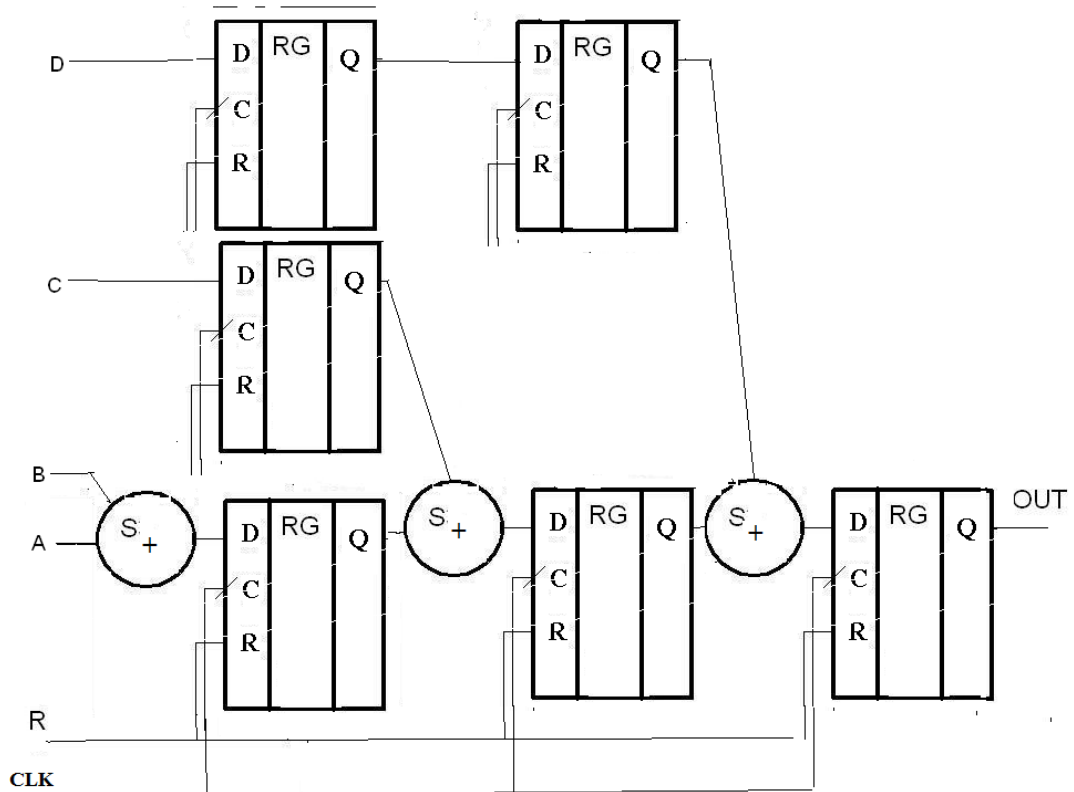


Рис.5.6. Конвейерный вариант вычисления суммы четырех слагаемых ($T_{сл_конв}=TD=5$ ns).

Читателю предлагается просмотреть вариант параллельно-конвейерной схемы сложения четырех слагаемых на предмет сравнения этого варианта по быстродействию и оборудованию с ранее рассмотренными схемами.

Наверно можно будет экономить на числе регистров по сравнению с чисто конвейерной схемой при равном быстродействии.

Балансировка конвейера.

На рис.5.7.представлена некоторая трехкаскадная конвейерная схема. Блоки ее комбинационной части CC1, CC2, CC3,CC4 (CC - Combinatorial circuit) имеют разные задержки, обозначенные как TD1=2нс.,TD2=5 нс., TD3=3 нс.,TD4=4 нс.

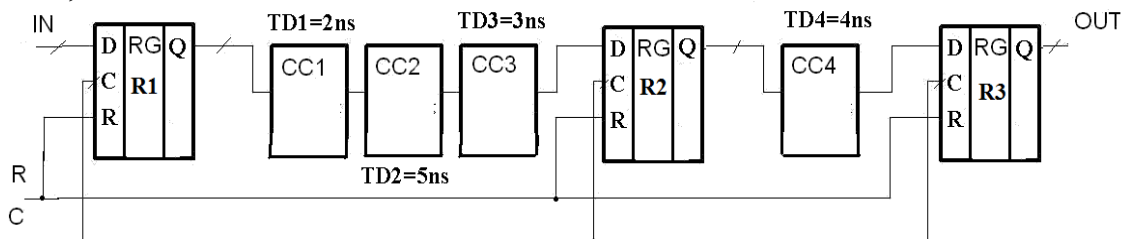


Рис.5.7. Обобщенная конвейерная схема, состоящая из трех каскадов.

Наиболее длинный путь сигнала в комбинационной части схемы ,как уже ранее говорилось, называется **критическим**. Критический путь во многом определяет быстродействие схемы. В схеме рис.5.7 критический путь находится в первой слева комбинационной части (на входе регистра R2), состоящей из блоков CC1.CC2.CC3.

При расчете его задержки $T_{кр} = TD1 + TD2 + TD3 = 10$ ns учитываются как максимальные задержки сигналов элементов, лежащих на этом пути, так и задержки их связей. Как уменьшить задержку критического пути и повысить быстродействие схем? Одним из путей решения этой задачи является **балансировка конвейера**.

В сбалансированном конвейере все задержки комбинационных схем, стоящих перед регистрами, должны быть примерно равными.

Представленная на рис.5.8. схема конвейера сбалансирована по задержкам комбинационных частей (в первой части задержка $T1 = TD1 + TD3 = 7$ нс., во второй задержка $T2 = TD2 + TD4 = 7$ нс) путем перемещения второго (считая слева - направо) регистра R2 «вперед» или другими словами комбинационного блока CC3 в комбинационную часть другого регистра- R3. Тактовую частоту в сбалансированном конвейере рис.5.8 удалось повысить примерно в 1,3 раза ($10/7$) по сравнению со схемой рис.5.7.

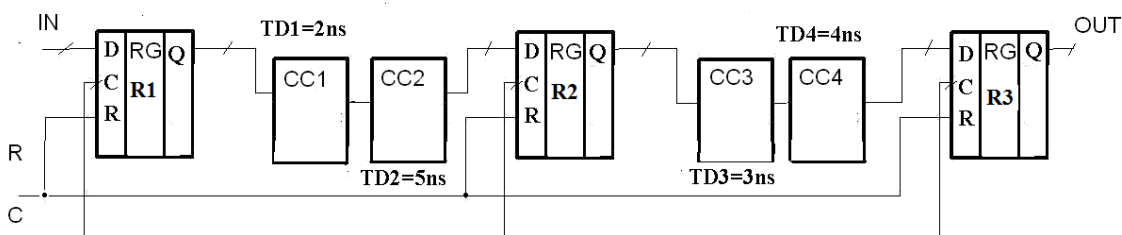


Рис.5.8. Сбалансированный конвейер ($T_{кр} = TD1 + TD2 = TD3 + TD4 = 7$ нс).

В схеме, представленной на рис.5.9. дальнейшее улучшение быстродействия конвейера достигнуто путем добавления двух промежуточных регистров (R1D и R2D).

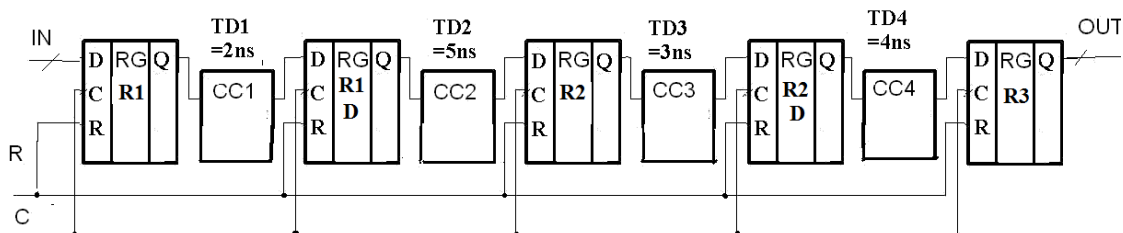


Рис.5.9. Конвейер с добавлением промежуточных регистров (Ткр=TD2=5 ns).

Глубина конвейера, представленного на рис.5.9, увеличилась (теперь не 3, как на рис.5.7, а 5 каскадов), но задержка критического пути уменьшилась и стала равна 5 нс. В общем случае, повышение быстродействия конвейерной схемы достигается, если это возможно, путем разбиения комбинационной части с большим критическим путем на отдельные составляющие, и введением дополнительных регистров между ними для хранения промежуточных данных. Таким способом, тактовая частота и быстродействие конвейера повышается, но за счет увеличения расхода оборудования и латентности (**latency** - задержки появления первой информации на выходе конвейера после его запуска).

Есть ли предел на таком пути повышения тактовой частоты?

Имеется ряд ограничений, часть из которых будет упомянута ниже.

5.1.3. Сеть распространения синхросигналов.

По мере увеличения быстродействия схем сеть разводки (clock distribution net) тактовых сигналов (синхросигналов) становится все более сложным компонентом устройств. К ее важнейшим параметрам следует отнести:

А) **Расфазировка или разброс моментов поступления синхросигнала (Clock Skew) на различные элементы схемы.**

Этот параметр статический. Он означает разницу моментов поступления синхросигнала в различные части устройства. На рис.5.10 показан случай, когда задержка синхросигнала в цепи разводки (wire_del) больше задержки комбинационной части схемы (CC1_del), что приводит к ее неправильной работе. Данные А, поступающие на вход схемы в такте T1, по синхросигналу С принимаются на регистр RG1 и сразу после обработки в комбинационной схеме CC1 принимаются на второй регистр RG2 по синхросигналу C_del и передаются на выход OUT в том же такте T1.

Основными причинами разброса моментов поступления синхроимпульсов являются разница в длинах проводников, по которым они распространяются, и нагрузок на их источники – буферные тактовые повторители. Задержка повторителя, нагруженного на один элемент,

естественно меньше, чем у нагруженного на десяток, даже если не учитывать емкостную нагрузку ведущих к ним проводников (wire load). К способам уменьшения этого разброса относятся: трассировка каждого яруса ветвей дерева синхросигналов проводниками одинаковой длины и ширины, повышение нагрузочных возможностей тактовых буферных повторителей (см.рис.5.11) и применение специальных элементов (узлов), обеспечивающих автоподстройку фаз синхросигналов.

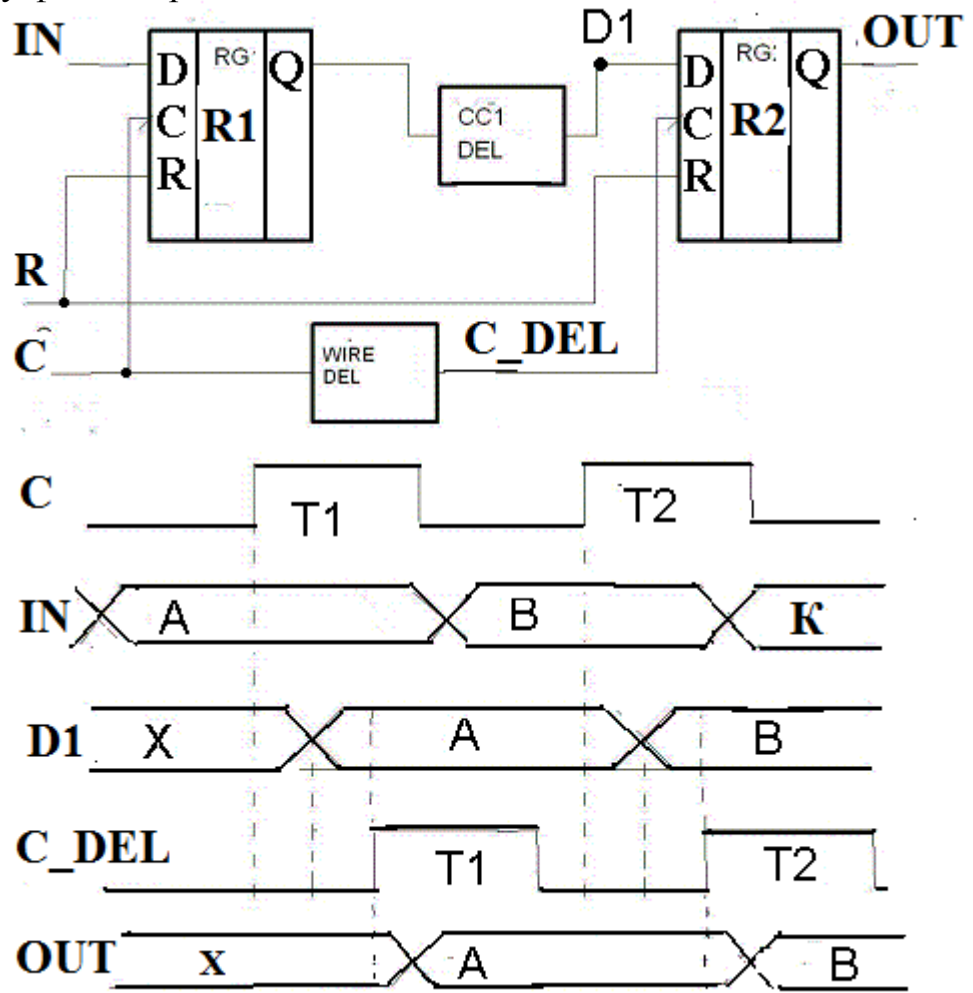


Рис.5.10. Задержка синхросигнала(C_DEL) в цепи разводки синхросигналов приводит к неправильной работе схемы.

Б) *Нестабильность и искажение формы синхросигнала (Clock Fidelity, Clock Jitter).*

Это параметр динамический. Временная диаграмма тактового сигнала должна иметь минимум искажений формы (*Clock Fidelity*) и не «дрожать» (*Clock Jitter*). Реальная форма синхросигнала частотой в несколько сотен мегагерц далека от идеальной прямоугольной, рисуемой в курсовых проектах студентами. Она скорее напоминает синусоиду с наложенным на нее шумом помех и наводок. Так как порог срабатывания триггеров имеет разброс, пологий фронт синхросигналов также может служить источником разброса моментов срабатывания запоминающих элементов схемы. Дрожь синхроимпульсов (*Clock Jitter*—динамический разброс моментов их

поступления) определяется такими факторами, как наводки, нестабильность питания за счет изменения на каждом такте количества переключаемых элементов и т.п. На высоких частотах проводники ведут себя как длинные линии с индуктивной и емкостной составляющими и важно избегать отражений сигналов на их концах – правильно их терминировать, используя либо резисторы с параметрами, равными волновому сопротивлению линии, либо специальные терминирующие элементы, применять защиту от помех – экранирование и т.п.

Цепь разводки синхросигналов.

Основные идеи процесса трассировки (разводки) синхросигналов в схеме сводятся к следующим. Строится граф -дерево разводки синхросигналов (рис.5.11). Все конечные вершины графа должны быть равноудаленными от корня дерева (места поступления синхросигнала в схему). Каждой вершине сопоставляется буфер–повторитель. Количество буферов (тактовых буферов) на пути от вершины к каждому синхронизируемому элементу должно быть одинаковым. На каждом ярусе дерева разводки все узлы должны быть одинаково нагружены, т.к. задержки слабо нагруженных тактовых буферов примерно вдвое меньше, чем у максимально нагруженных.

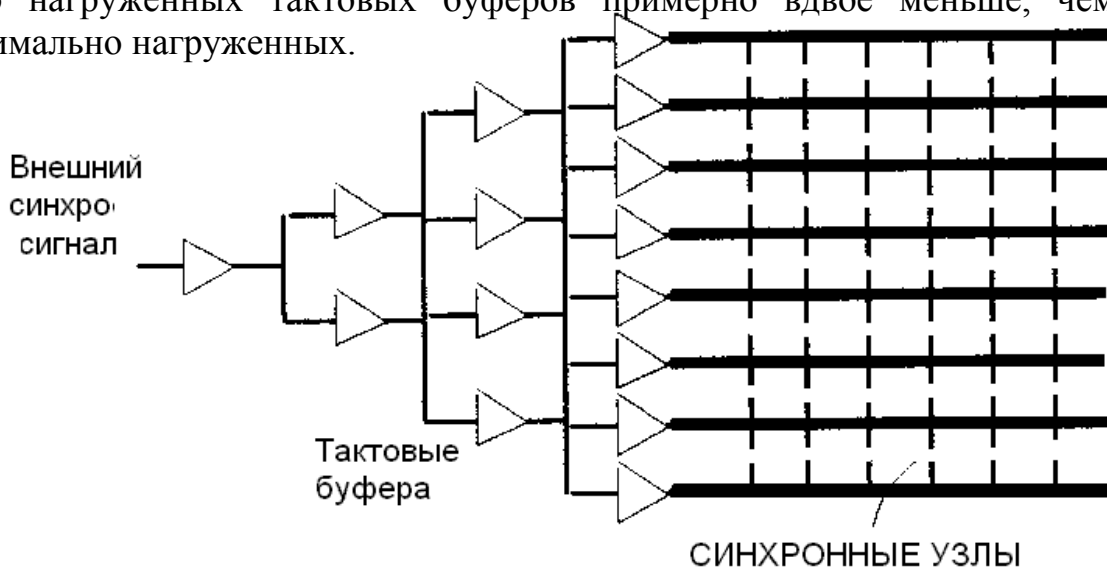


Рис.5.11. Дерево разводки синхросигналов.

Проектирование систем синхронизации и разводка синхросигналов по конструктиву микросхемы БИС выполняется опытными специалистами с использованием специальных подсистем САПР типа **компиляторов синхросигналов – (clock compiler)**. Проектировщикам предлагается также набор специальных узлов, с помощью которых может проводиться коррекция расфазирования синхросигналов и, если необходимо, умножение или понижение их частоты. Эти узлы в зарубежной терминологии называются **цифровыми схемами управления синхросигналами (DCM–Digital Clock Manager)**, **узлами согласования фазы сигнала (PLL–Phase Locked Loop)**. Помимо использования таких узлов, проектировщик может выделять в

проекте отдельные области локальной синхронизации (*такт домены – clock domain*), малый размер которых упрощает задачу разводки и использовать в них быстрые локальные синхросигналы (Local clock), вместо медленных глобальных (Global clock).

5.1.4. Полезная и вспомогательная часть такта.

Среди методов повышения быстродействия схем выше были отмечены такие, как балансировка конвейера и уменьшение длины критического пути в комбинационной части схемы. Но повышение тактовой частоты не беспредельно. Помимо ограничений типа конечной скорости света (за одну наносекунду свет проходит 30 см), существуют и дополнительные факторы, ограничивающие пределы уменьшения тактового периода - периода поступления синхросигналов.

На рис.5.12. отмечены два временных параметра, о которых мы уже говорили в гл.4, соблюдение которых необходимо для обеспечения правильной работы триггеров .

А) **Время предустановки данных T_{su} (T_{setup})**–минимальный интервал времени перед активным фронтом синхросигнала, в течение которого входной сигнал данных должен быть стабилен.

Б) **Время удержания данных T_h (T_{hold})**–минимальный интервал времени после активного фронта синхросигнала, в течение которого входной сигнал данных должен оставаться стабильным.

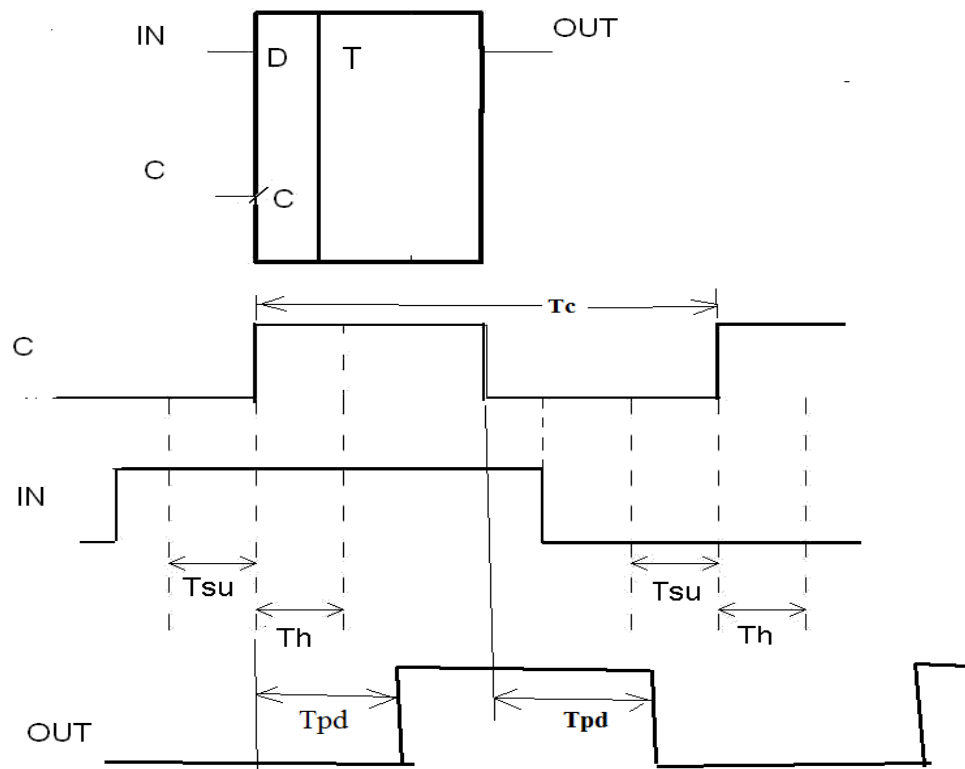


Рис.5.12. Необходимые минимальные времена предустановки T_{su} и удержания T_h данных IN относительно синхросигнала C в D-триггере.

Обозначим длительность такта – периода синхросигнала– как T_c . Разделим длительность такта T_c на две части: полезную $T_{\text{полезн}}$ и вспомогательную $T_{\text{вспом}}$.

Полезная часть такта - это преобразование информации в комбинационной части схемы

Вспомогательная часть такта - это действия по обеспечению работы комбинационной части схемы

$T_{\text{вспом}}$ – это то время, которое минимально необходимо для правильной работы триггеров (оно включает сумму минимального времени предустановки T_{su} удержания T_h , максимальное время распространения сигнала в триггере T_{pdff}).

Если не учитывать задержки в проводниках и разброс моментов поступления синхросигналов (это справедливо для низкочастотных схем (до 10 МГц), то имеем такое соотношение:

$$T_{\text{вспом}} = T_{pdff} + T_{su} + T_h$$

Доля времени полезной работы ($T_{\text{полезн}}$), выполняемой комбинационной частью синхронной схемы определяется соотношением

$$T_{\text{полезн}} = T_c - T_{\text{вспом}}$$

Чем меньше тактовый период T_c при неизменном $T_{\text{вспом}}$, тем меньше времени остается для срабатывания комбинационной части схемы $T_{\text{полезн}}$.

Если вернуться к конвейерным схемам, то в неизменном $T_{\text{вспом}}$ виден предел роста стадий конвейера.

Для быстродействующих схем вспомогательная часть времени такта дополнительно увеличивается, т.к. еще должна учитывать разброс моментов поступления синхросигналов в отдельные части схемы, нестабильность синхросигналов из-за помех и задержки сигналов в проводниках.

Из вышесказанного вытекает, что по мере увеличения частоты синхросигнала и соответственно, уменьшения времени тактового периода T_c падает доля его полезной части. Для технологии изготовления микросхем с нормой 130 нанометров при тактовой частоте их работы 500 мегагерц доля вспомогательной части такта составляет около 30 процентов, а при частоте 1 гигагерц уже более 40 процентов.

Советы проектировщику

- 1) *Старайтесь применять синхронные схемы.*
- 2) *Особое внимание уделяйте сопряжению фрагментов устройств, зависящих от разных серий синхроимпульсов.*
- 3) *Предпочитайте триггера с синхронным сбросом (установкой) триггерам с асинхронным сбросом (установкой).*
- 4) *Уделяйте особое внимание сети распространения тактовых сигналов (синхросигналов).*
- 5) *Учитывайте задержки связей при анализе логических схем (в быстродействующих БИС они соизмеримы с задержками логических элементов).*
- 6) *Фиксируйте на триггерах входные и выходные сигналы отдельных модулей (блоков) устройств.*
- 7) *Отдавайте предпочтение триггерам с динамическим управлением (flip-flop) перед триггерами со статическим управлением (триггера-защелки-latch).*
- 8) *Разбивайте сложное устройство на отдельные блоки (модули) и используйте имеющиеся готовые, легко настраиваемые проекты этих модулей- так называемые IP-cores (IP-ядра).*
- 9) *Учитывайте возможность повторного использования проектной документации. Повторнопригодность проектов (reusability) – вклад в будущее вашей фирмы.*
- 10) *На САПР надейся, а сам не плошай (здравый смысл никто не заменит).*