

**Вопросы к экзамену
по курсу Схемотехника, 5 семестр.**

2017

1. Аналоговые и цифровые сигналы. Определение параметров. Амплитуда, уровни 0 и 1. Фронт, срез, длительность, период, частота. Относительные параметры. Задержки, задержка распространения.
2. Булева модель сигналов. Булева алгебра. Основные логические функции и элементы.
3. Логические функции и элементы НЕ (NOT-инвертор), И (AND), ИЛИ (OR), И-НЕ (NAND) и ИЛИ-НЕ (NOR), Исключающее ИЛИ (XOR) и Исключающее ИЛИ-НЕ (XNOR).
4. Задержки распространения сигнала и временные диаграммы работы комбинационных схем.
5. Коэффициент объединения по входу, нагрузочная способность, каскадирование и связи логических элементов.
6. Логические функции и принцип дуализма. Проектирование комбинационных схем.
7. Основные технологии и их базовые этапы: МДП, КМДП, кремний на диэлектрике, формирование эпитаксиального слоя, ионное легирование, металлизация, подзатворный диэлектрик, последние вариации технологий – хай-к диэлектрик, вертикальный затвор.
8. Базовый КМОП инвертор. Статические характеристики КМОП инвертора. Динамические характеристики КМОП инвертора.
9. Базовые КМОП логические элементы И-НЕ и ИЛИ-НЕ. Основные статические и динамические параметры и характеристики КМОП элементов.
10. Выходной каскад с тремя состояниями в КМОП технологии.
11. Дешифраторы.
12. Шифратор и кодовый преобразователь.
13. Мультиплексор.
14. Реализация логических функций на мультиплексорах.
15. Компаратор.
16. Двоичный сумматор.
17. Многоразрядный сумматор с параллельным переносом.
18. Цифровые узлы последовательностного типа. Определения.
19. Асинхронный RS-триггер на элементах И-НЕ. Синхронный RS-триггер на элементах И-НЕ.
20. D-триггер с управлением уровнем синхросигнала.
21. Счетный T-триггер.
22. JK-триггер.
23. Двухступенчатый D-триггер.
24. Регистры. Параллельные регистры. Регистры сдвига.
25. Счетчики с непосредственной связью. Вычитающий счетчик с непосредственной связью.
26. Счетчик с параллельным переносом.
27. Счетчики по произвольному основанию.
28. Запоминающие устройства. Классификация.
29. Архитектура полупроводниковых ЗУ.
30. Статическая шеститранзисторная ячейка памяти.
31. Четырехтранзисторная ячейка динамического ЗУ.
32. Однотранзисторная динамическая ячейка памяти.
33. Многопортовые ЗУ.
34. Флеш-память, технологии МНОП (СТФ) и с плавающим затвором, запись и чтение.
35. NOR, NAND организация, запись и чтение.
36. Проектирование синхронных схем. Понятие синхронной схемы. Параллелизм и конвейеризация. Сеть распространения синхросигналов. Полезная и вспомогательная часть такта.
37. Структуры первых ПЛИС.
38. Программируемая Логическая Матрица (ПЛМ).
39. Программируемая Матрица Логики (ПМЛ-PAL).

40. Схемотехника ПЛИС типа CPLD.
41. Схемотехника ПЛИС типа FPGA.
42. Системы счисления и перевод чисел из одной системы счисления в другую. Двоичные коды чисел. Модифицированные обратный (МОК) и дополнительный (МОД) чисел.
43. Функциональная схема АЛУ для сложения и вычитания чисел с фиксированной запятой.
44. Методы умножения чисел. Функциональная схема АЛУ для умножения целых чисел.
45. Алгоритм деления целых чисел. Функциональная схема АЛУ для деления целых чисел.
46. Матричные умножители.